

DATA SHEET

数据手册

KHW16B250-2GX

双通道16位250MSPS 模数转换器

双通道16位250MSPS 模数转换器

KHW16B250-2GX

KHW16B250-2GX 产品手册

V 4.4

主要特征

- 本产品 pin-to-pin 兼容 ADS42LB69
- 16 位分辨率
- 最大时钟速率：250MSPS
- 双通道 ADC
- 双倍数据速率 (DDR) 低压差分信令 (LVDS) 接口
- 64 引脚超薄型四方扁平无引线 (VQFN) 封装 (9mm × 9mm)
- 功耗：600mW/通道
- 信噪比 (SNR)：74 dBFS (fin 为 70 MHz, 250 MSPS, -1.0 dBFS)
- 无杂散动态范围 (SFDR)：-90 dBFS (fin 为 70 MHz, 250 MSPS, -1.0 dBFS)
- 工作温度范围：零下 55 摄氏度到 150 摄氏度
- 带内部 dither

应用

- 通信和线缆基础设施
- 多载波、多模蜂窝接收器
- 雷达和智能天线阵列
- 宽带无线
- 测试和测量仪器
- 软件定义的和多样性射频
- 微波和双通道 I/O 接收器
- 集线器
- 功率放大器线性化

表 1 本产品和 TI 公司 ADS42LB69 性能比较

	SNR	SFDR	ENOB	带宽	功耗
本产品	74dBFS	90dBFS	12 bit	800M	600mW
ADS42LB69	73.7dBFS	90dBFS	11.9 bit	400M	820mW

注：测试条件为 2V_{vpp}，70M 输入，250M 时钟。

产品描述

KHW16B250-2GX 是一款 16 位双通道采样模数转换器(ADC)，专门针对高性能、低功耗和易用性进行了优化。该产品的转换速率最高可达 250 MSPS，具有杰出的动态性能，适合宽带载波和宽带系统使用。芯片上集成了全部必需功能，包括采样保持 (T/H) 与基准电压源，可提供完整的信号转换解决方案。

KHW16B250-2GX 采用先进的 CMOS 工艺制造，提供 64 引脚 VQFN 封装，额定温度范围为 -55° C 至 +150° C 温度范围。

功能模块框图

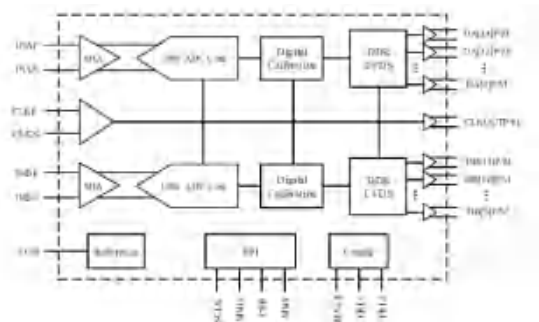


图 1 功能模块框图

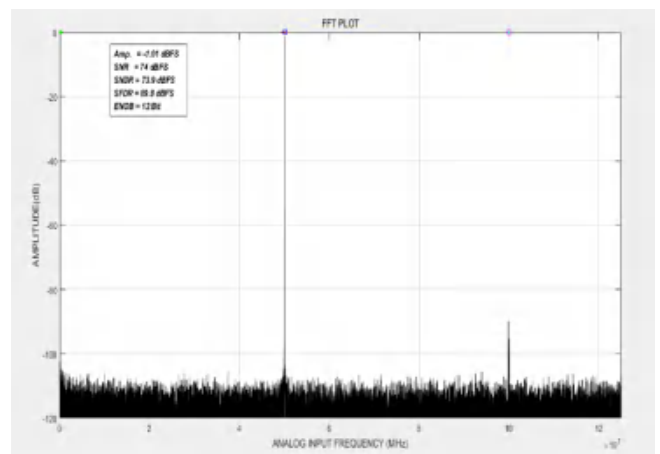


图 2 典型 FFT 测试图

本产品突出性能特点

1. 高性能：在输入频率 70M，采样频率 250M 时信噪比为 74db。
2. 低功耗：在 250M 采样率时功耗仅为每通道 600mW。
3. 易于使用：LVDS 数据输出，而且便于和 FPGA 配合使用。片上参考和采样保持电路给系统设计带来

了很高的灵活性。

4. 串口控制：标准的串行接口可以支持芯片的各种功能设置，像数据格式控制、电源关断、增益调节和输出测试模式产生等等。

5. 管脚兼容：本产品脚对脚兼容 ADS42LB69

管脚分布和功能描述

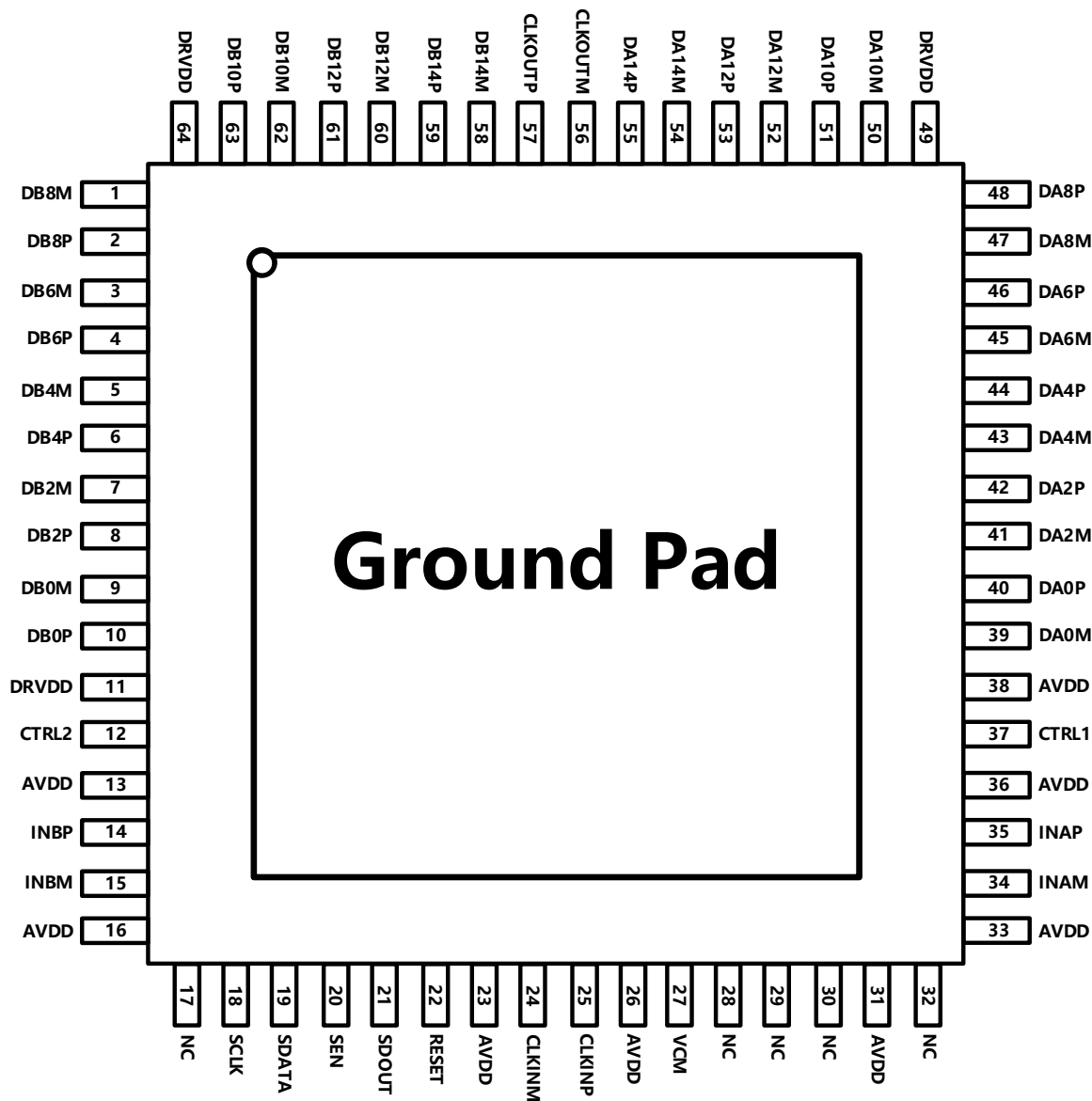


图 3 管脚分布

表 2 管脚功能描述

管脚序号	输入/输出	管脚名称	描述
34,35	输入	INAM,INAP	A 通道模拟差分输入
14,15	输入	INBP,INBM	B 通道模拟差分输入
27	输出	VCM	用于模拟输入的共模电平,1.0V
24,25	输入	CLKINM,CLKINP	差分时钟输入（内部共模偏置在 0.95V）

双通道16位250MSPS 模数转换器

KHW16B250-2GX

17,28,29,30,32		NC	No Connection
37	输入/输出	CTRL1	可被配置为 A 通道的 power-down 控制端（高有效）或者 A 通道的 OVR 输出（默认为 power-down），片内具有 50K 欧姆下拉电阻
12	输入/输出	CTRL2	可被配置为 B 通道的 power-down 控制端（高有效）或者 B 通道的 OVR 输出（默认为 power-down），片内具有 50K 欧姆下拉电阻
22	输入	RESET	硬件复位,高有效，片内具有 50K 欧姆下拉电阻
18	输入	SCLK	串口时钟输入，片内具有 50K 欧姆下拉电阻
19	输入	SDATA	串口数据输入，片内具有 50K 欧姆下拉电阻
21	输出	SDOUT	串口数据输出，片内具有 20K 欧姆下拉电阻
20	输入	SEN	串口使能，片内具有 50K 欧姆下拉电阻（ADS42LB69 为片内上拉电阻）
56,57	输出	CLKOUTM,CLKOUTP	差分 LVDS 时钟输出
39-48,50-55	输出	DA[14:0]P,DA[14:0]M	A 通道 DDR LVDS 输出
1-10,58-63	输出	DB[14:0]P,DB[14:0]M	B 通道 DDR LVDS 输出
13,16,23,26,31,33,36,38	输入	AVDD	模拟电源 1.8V
11,49,64	输入	DRVDD	数字 1.8V 电源
Ground pad	输入	GND	地

△注意：数字输入输出端口 RESET,SCLK,SDATA,SDOUT,SEN,CTRL1,CTRL2 均工作在 1.8V 电源域。

直流规格

表 3 直流规格

参数	最小值	典型值	最大值	单位
分辨率		16		位
时钟输入	10		250	MHz
输入带宽(2V 输入)		800		MHz
模拟差分输入范围（差分峰峰值）		2		伏
DNL			±0.5	LSB
INL			±6	LSB
Offset			±1	mV
Gain Error			±5	%FS
模拟输入共模		1.0		伏
AVDD 电源电压	1.7	1.8	1.9	伏
DRVDD 电源电压	1.7	1.8	1.9	伏

双通道16位250MSPS 模数转换器

KHW16B250-2GX

IAVDD 模拟电源电流值		800		毫安
IDRVDD 数字电源电流值		120		毫安
功耗（每通道）		600		毫瓦

表 4 绝对最大额定值

		最小值	最大值	单位
电源电压	AVDD	-0.3	2.1	伏
	DRVDD	-0.3	2.1	
输入端电压	模拟输入端电压	-0.3	AVDD+0.2	
	时钟输入端电压	-0.3	AVDD+0.2	
	SCLK,SEN,SDATA,RESET,CTRL1,CTRL2	-0.3	2.1	
温度范围	工作温度范围	-55	150	摄氏度
	储存温度范围	-65	150	

交流规格

表 5 交流规格

测试条件: $T_A = 25^{\circ}\text{C}$, AVDD=1.8V, DRVDD=1.8V, 时钟占空比为 50%, 模拟输入为-1dBFS, 采样率为 250MSPS

参数		最小值	典型值	最大值	单位
信噪比 (SNR)	$f_{IN}=10\text{MHz}$		74.2		dBFS
	$f_{IN}=70\text{MHz}$		74		dBFS
	$f_{IN}=225\text{MHz}$	70.8	73.2		dBFS
信号与噪声 谐波比 (SNDR)	$f_{IN}=10\text{MHz}$		74		dBFS
	$f_{IN}=70\text{MHz}$		73.9		dBFS
	$f_{IN}=225\text{MHz}$	69.6	71.5		dBFS
有效位 (ENOB)	$f_{IN}=10\text{MHz}$		12		位
	$f_{IN}=70\text{MHz}$		12		位
	$f_{IN}=225\text{MHz}$	11.3	11.6		位
无杂散动态 范围 (SFDR)	$f_{IN}=10\text{MHz}$		89		dBFS
	$f_{IN}=70\text{MHz}$		89.8		dBFS
	$f_{IN}=225\text{MHz}$	72	75.5		dBFS
模拟带宽			800		MHz

双通道16位250MSPS 模数转换器

KHW16B250-2GX

电源抑制比	50-mVpp, 加到 AVDD 端, 10M 以内	40			dB
通道隔离度	150M 满量程输入对另一通道		105		dB

数字特性

表 6 数字特性

参数	测试条件	最小值	典型值	最大值	单位
数字输入 (RESET, SCLK, SDATA, SEN, CTRL1, CTRL2)					
V_{IH} , 高电平输入电压		1.3			V
V_{IL} , 低电平输入电压				0.4	V
I_{IH} , 高电平输入电流	$V_{HIGH}=1.8V$		10		uA
I_{IL} , 低电平输入电流	$V_{LOW}=0V$		0		uA
数字输出 (OVRA, OVRB, SDOUT)					
V_{OH} , 高电平输出电压		DRVDD-0.1	DRVDD		V
V_{OL} , 低电平输出电压			0	0.1	V
LVDS 数字输出					
V_{ODH} , 高电平输出差分电压	外部端接 100 Ω	250	350	500	mV
V_{ODL} , 低电平输出差分电压	外部端接 100 Ω	-500	-350	-250	mV
V_{OCM} , 输出共模电压			1.05		V

输出数据格式

本产品输出数据格式为偏移二进制输出模式 (offset binary format)。表 7 给出了一个输出编码格式示例。

表 7 数字输出编码

输入 (V)	条件 (V)	偏移二进制输出模式
$V_{IN+} - V_{IN-}$	$< -V_{REF} - 0.5LSB$	0000 0000 0000 0000
$V_{IN+} - V_{IN-}$	$-V_{REF}$	0000 0000 0000 0000
$V_{IN+} - V_{IN-}$	0V	1000 0000 0000 0000
$V_{IN+} - V_{IN-}$	$+V_{REF} - 1.0LSB$	1111 1111 1111 1111
$V_{IN+} - V_{IN-}$	$> +V_{REF} - 0.5LSB$	1111 1111 1111 1111

静电防护

表 8 ESD 等级

		最大值	单位
V _(ESD) Electrostatic discharge	HBM, MIL-STD-883K / Method 3015.9	± 2500	V
V _(ESD) Electrostatic discharge	CDM, ESDA/JEDEC JS-002-2018	± 1000	V

ESD 警告

	ESD(静电放电)敏感器件。 带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。
--	--

寄存器配置

表 9 寄存器列表

寄存器地址	寄存器数据							
	D7	D6	D5	D4	D3	D2	D1	D0
03	0	0	0	PDN_OVR	0	0	0	0
07	0	0	0	0	0	DITHER_EN	0	0
08	0	BK_CAL	0	0	0	FORE_CAL	1	1
16	0	0	LVDS_LV<5>	LVDS_LV<4>	LVDS_LV<3>	LVDS_LV<2>	LVDS_LV<1>	LVDS_LV<0>
17	0	0	0	1	DCO_DLY<1>	DCO_DLY<0>	0	0

表 10 寄存器 03 描述

Bit	Field	默认值	描述
D[7:5]	-	000	写 '0'

双通道16位250MSPS 模数转换器

KHW16B250-2GX

D[4]	PDN_OVR	0	决定 CTRL1,CTRL2 管脚为power-down输入,或是OVR输出: ‘0’: CTRL1 和 CTRL2 管脚为输入,功能为power-down控制端,高有效。 ‘1’: CTRL1 和 CTRL2 管脚为输出,功能分别为AB两通道的溢出标志。当模拟输入超出满量程时OVR输出1,模拟输入不超出满量程时OVR输出0。
D[3:0]	-	0000	写 ‘0’

表 11 寄存器 07 描述

Bit	Field	默认值	描述
D[7:3]	-	00000	写 ‘0’
D[2]	DITHER_EN	0	写‘1’时dithering打开,否则dithering关闭。
D[1:0]	-	00	写 ‘0’

表 12 寄存器 08 描述

Bit	Field	默认值	描述
D[7]	-	0	写 ‘0’
D[6]	BK_CAL	0	写‘1’时后台校准打开。 写‘0’时后台校准关闭。
D[5:3]	-	000	写 ‘0’
D[2]	FORE_CAL	0	上升沿有效。写‘1’时前台校准打开;如果需要重新进行前台校准,需要先把此位写为‘0’,然后再写入‘1’。
D[1:0]	-	11	写 ‘1’

表 13 寄存器 16 描述

Bit	Field	默认值	描述
D[7:6]	-	00	写 ‘0’
D[5:0]	LVDS_LV<5:0>	011001	写‘001011’时: LVDS输出信号摆幅160mV 写‘011001’时: LVDS输出信号摆幅350mV (default) 写‘011110’时: LVDS输出信号摆幅420mV 写‘100001’时: LVDS输出信号摆幅470mV 写‘100111’时: LVDS输出信号摆幅560mV

表 14 寄存器 17 描述

Bit	Field	默认值	描述
D[7:5]	-	000	写 ‘0’

双通道16位250MSPS 模数转换器

KHW16B250-2GX

D[4]	-	1	写 '1'
D[3:2]	DCO_DLY<1:0>	01	写'00'时: default-500ps 写'01'时: default 写'10'时: default+250ps 写'11'时: default+500ps
D[1:0]	-	00	写 '0'

表 15 推荐用户寄存器配置

前台校准

寄存器地址	寄存器值
0x11	0x01
0x16	0x04
0x08	0x03
0x08	0x07
0x13	0x5b

打开 dither

寄存器地址	寄存器值
0x07	0x04

注 1: 应在前台配置完成 1ms 后打开 dither

工作时序

本产品的流水线延迟（Pipeline Delay）为 7 个时钟周期。时序图如下图所示。

双通道16位250MSPS 模数转换器

KHW16B250-2GX

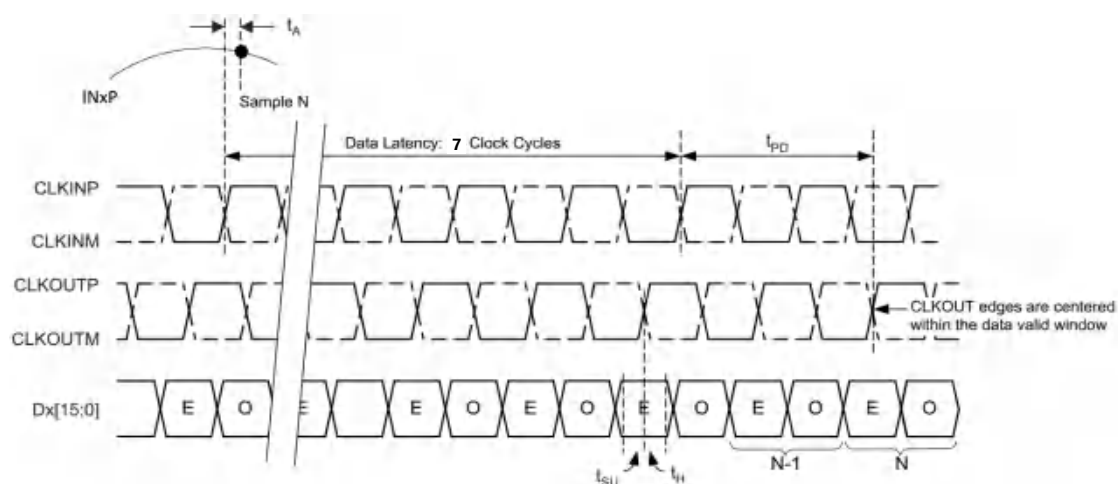


图 4 工作时序

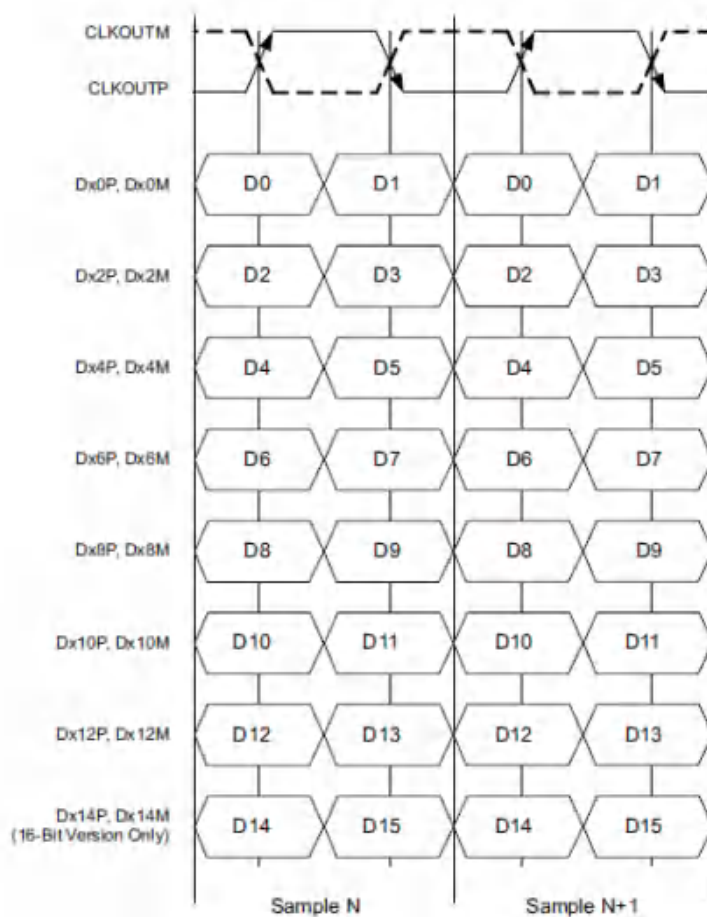


图 5 DDR LVDS 输出时序

双通道16位250MSPS 模数转换器

KHW16B250-2GX

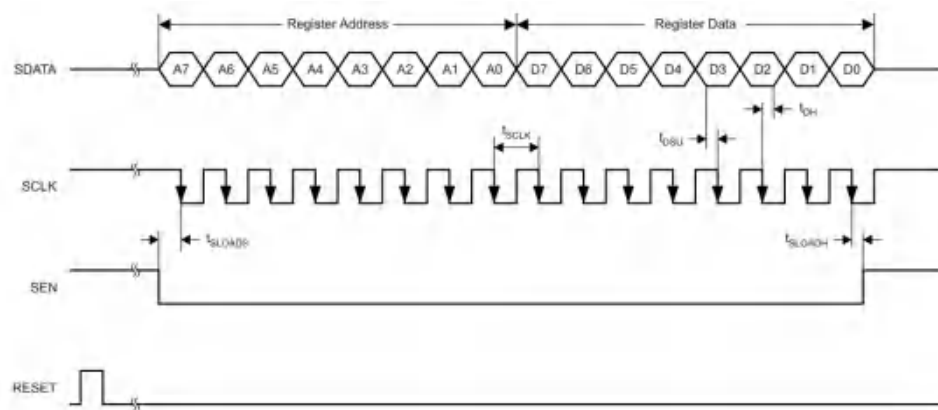


图 6 SPI 访问寄存器---写操作示意图

SPI 接口设置用来写预定地址的寄存器，进而控制芯片内部的电路设置或用于设计调试目的。图 6 给出了 SPI 访问寄存器写操作示意图。其中， $t_{\text{SCLK}} > 10\text{ns}$ ， $t_{\text{LOADS}} > 2\text{ns}$ ， $t_{\text{LOADH}} > 2\text{ns}$ ， $t_{\text{DSU}} > 2\text{ns}$ ， $t_{\text{DH}} > 2\text{ns}$ 写寄存器操作时，每次 16bit，前 8bit 为寄存器地址，后 8 bit 为寄存器值。

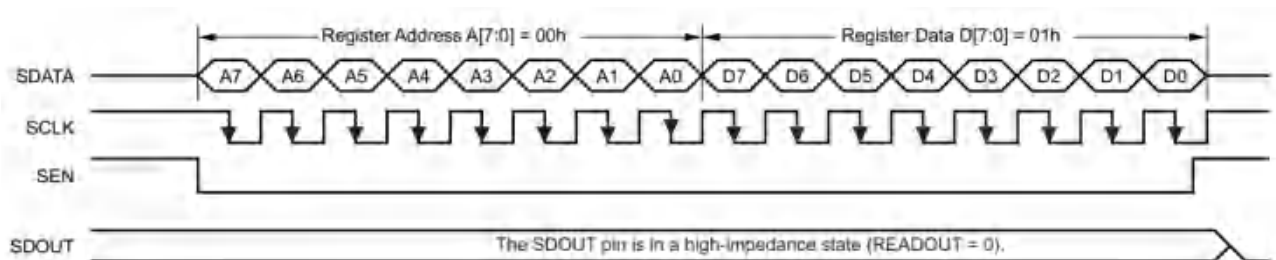
寄存器读出

本产品具有内部寄存器读出功能。内部寄存器读出功能对于检验外部控制器和 ADC 之间的通信状况是非常有用的。寄存器读出的具体步骤如下。

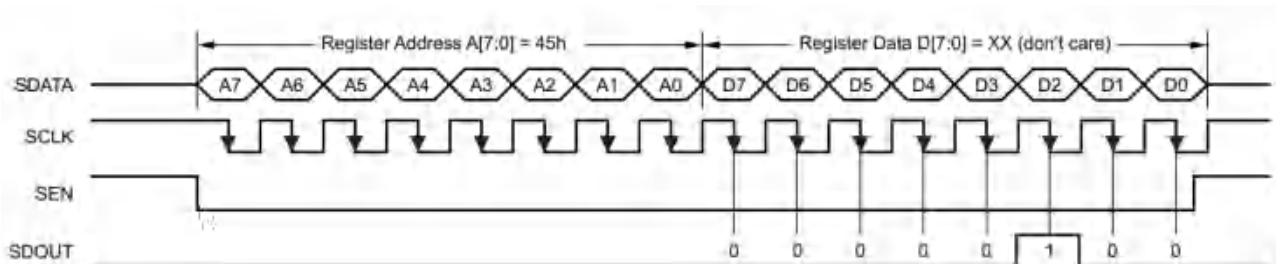
1. 把读出寄存器（00h）设置为 1。这个设置使得内部寄存器无法再被写入（00h 寄存器除外）。
2. 开启一个寄存器读出周期，在 SDATA 端输入要读出内容的寄存器的地址。
3. 被选中的寄存器的内容会被读出在 SDOUT 端。
4. 外部控制器应该在 SCLK 的下降沿采集 SDOUT 数据。
5. 读出完成后，应该把读出寄存器（00h）重新写回 0，这样寄存器又回到写入模式。

注 1: 每一次执行读取寄存器任务时，都需要执行以上五步操作。

注 2: 00h 寄存器的内容无法被读出，因为这个寄存器包含 RESET 位和 READOUT 位。当寄存器读出功能被停止时，SDOUT 输出端呈现高阻态。如果不需要使用串口读出功能，SDOUT 端需要被浮空。



(a) 设置读出寄存器，启动串口读出功能（READOUT=1）



(b) 把地址为 45h 的寄存器内容读出，该寄存器值为 04h

图 7 串口读出时序

等效电路

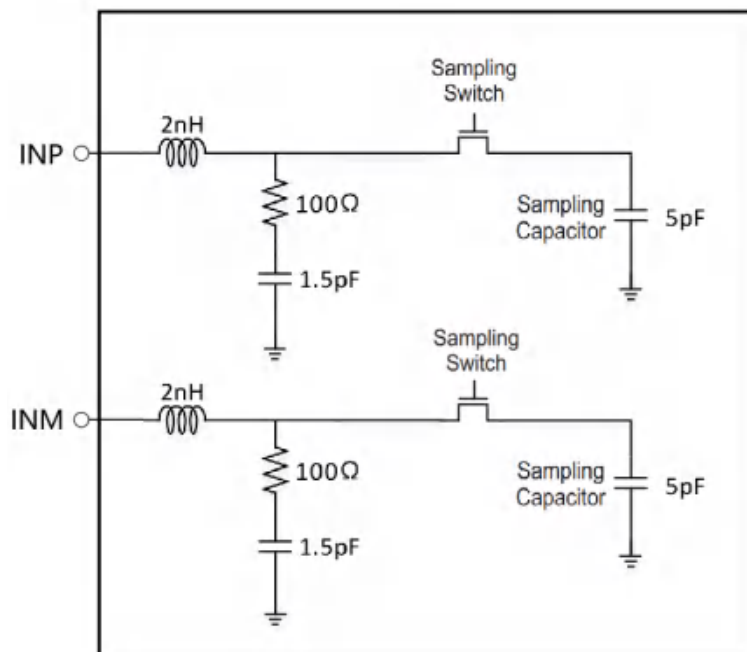


图 8 模拟输入网络

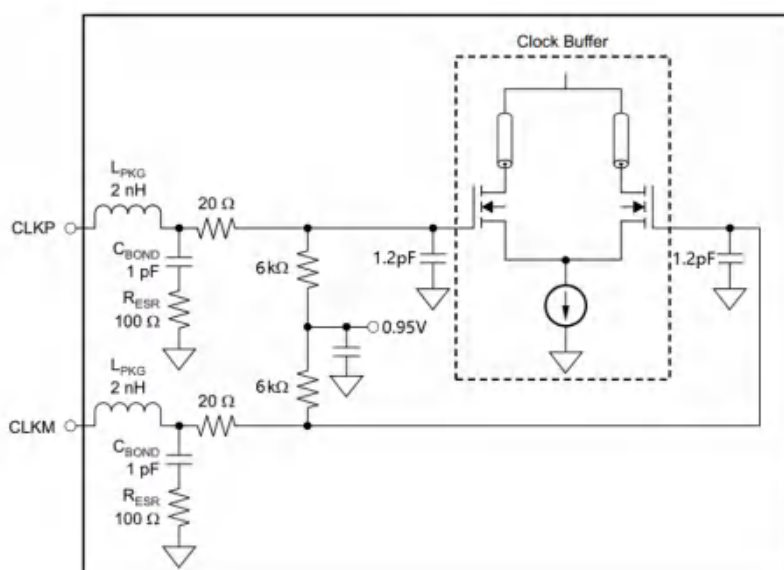


图 9 时钟输入网络

注：时钟输入的共模偏置由内部提供。

双通道16位250MSPS 模数转换器

KHW16B250-2GX

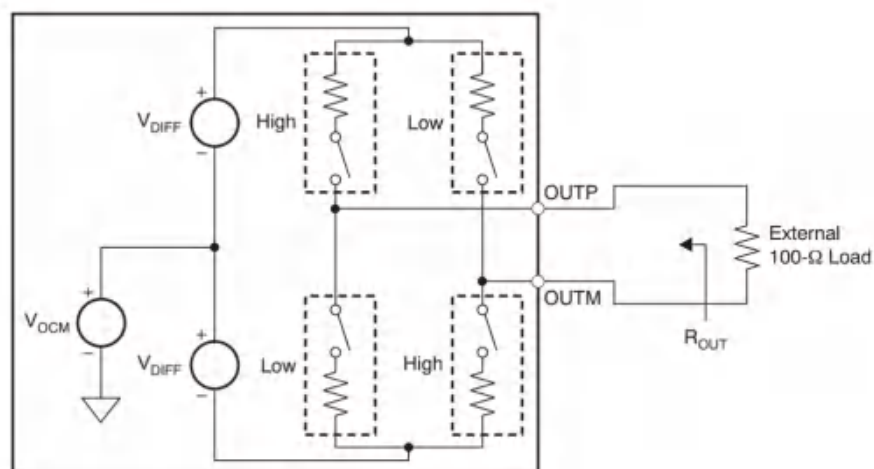


图 10 LVDS 输出电路

驱动电路

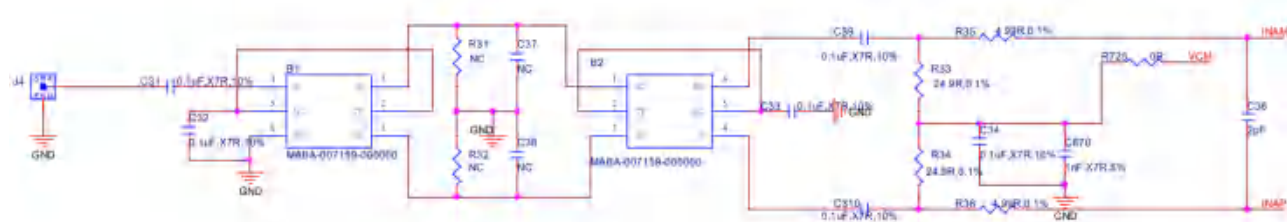


图 11 模拟输入端的驱动电路（请注意连接 VCM 端）

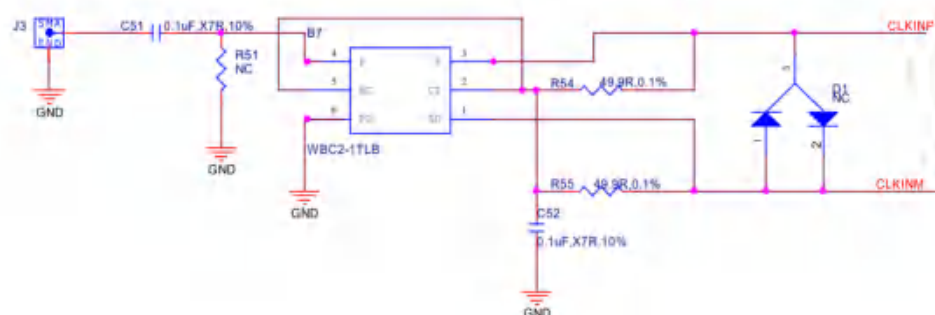


图 12 时钟输入端的驱动电路

时钟质量

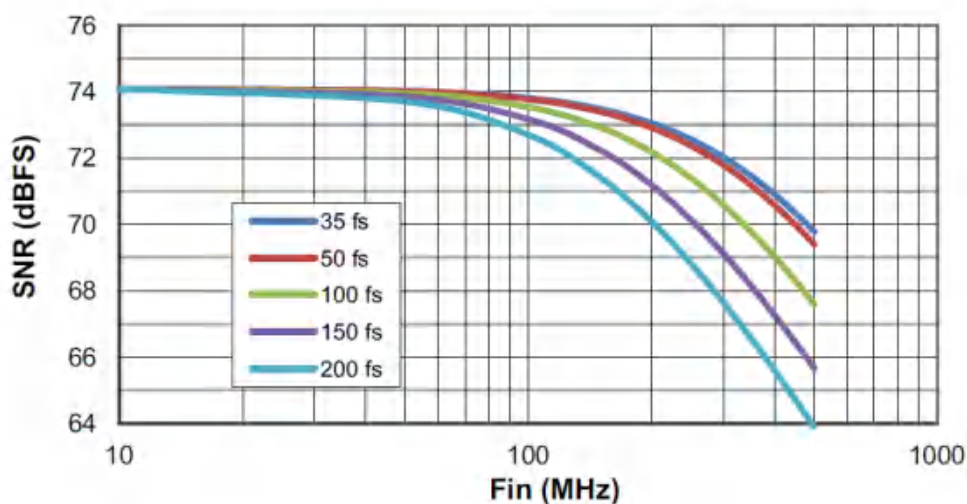


图 13 时钟抖动对信噪比的影响

应用信息

电源和接地建议。当连接电源至本芯片时,建议使用两个独立的 1.8 V 电源:一个电源用于模拟输出(AVDD),另一个电源用于数字输出(DRVDD)。对于 AVDD 和 DRVDD,应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近 PCB 入口点和接近器件引脚的位置,并尽可能缩短走线长度。

裸露焊盘散热块建议。为获得最佳的 ADC 芯片电气性能和热性能,必须将 ADC 底部的裸露焊盘连接至地焊盘(GND)。PCB 上裸露的连续铜层应与 ADC 芯片的裸露焊盘(引脚 0)匹配。铜层上应有多个过孔,获得尽可能低的热阻路径以通过 PCB 底部进行散热。这些过孔应填满焊料或插入插针。

为了最大化地实现 ADC 与 PCB 之间的覆盖与连接,应在 PCB 上覆盖一个丝印层,以便将 PCB 上的连续铜平面划分为多个均等的部分。这样,在回流焊过程中,可在 ADC 与 PCB 之间提供多个连接点,而一个连续的、无分割的平面只能保证一个连接点。可以参考下图所示的 PCB 布局布线范例。如需了解有关封装和芯片级封装 PCB 布局布线的详细信息,请参阅应用笔记 AN-772:“LFCSP 封装设计与制造指南”

(www.analog.com)。

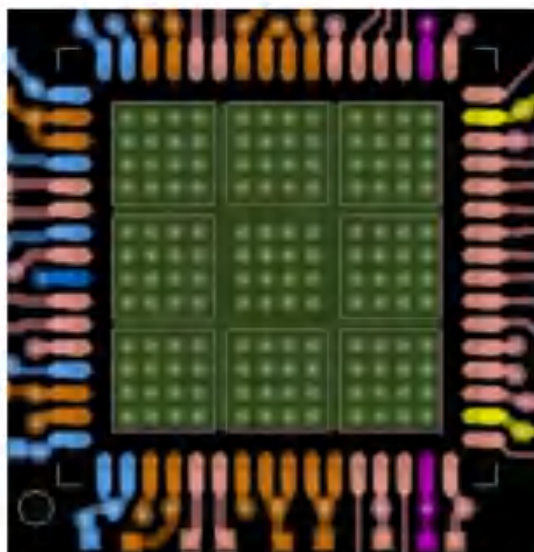


图 14 ADC 芯片裸漏焊盘的推荐 PCB 布局

LVDS 输出线 PCB 设计建议。PCB 设计时请一定注意 LVDS 输出线的等长处理！如果不注意输出线（既包括差分对内也包括差分对间）等长处理，会造成数据接受器件（如 FPGA）对 ADC 采样时形成严重的时序错误！输出的数字信号和随路时钟是以 LVDS 差分对的形式输出的，差分输出符合 ANSI-644 LVDS 标准。LVDS 驱动器电流来自芯片，并将各输出端的输出电流设置为标称值 3.5 mA。LVDS 接收器输入端有一个 100 Ω 差分端接电阻，因此接收器摆幅标称值为 350 mV(或 700 mV p-p 差分)。ADC LVDS 输出便于与定制 ASIC 和 FPGA 中的 LVDS 接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将 100 Ω 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过 24 英寸，差分输出走线应尽可能彼此靠近且长度相等。

封装形式

本产品采用 VQFN-64 封装（9mm X 9mm），封装与尺寸如下所示（图中尺寸单位为毫米）：

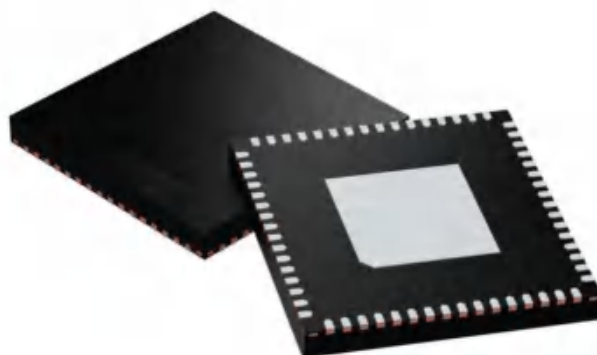


图 15 芯片封装 (VQFN-64, 9mm x 9mm)

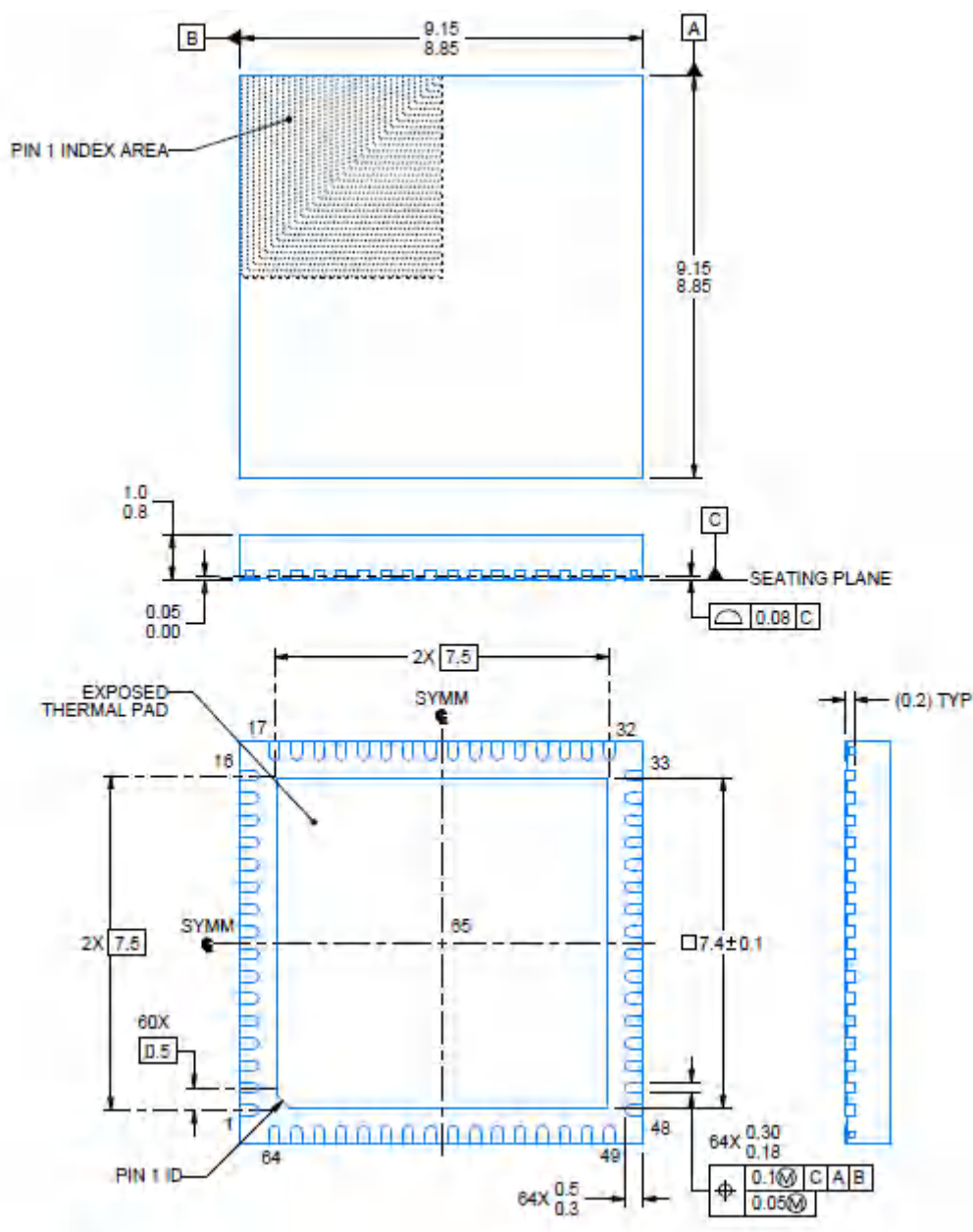


图 16 封装尺寸

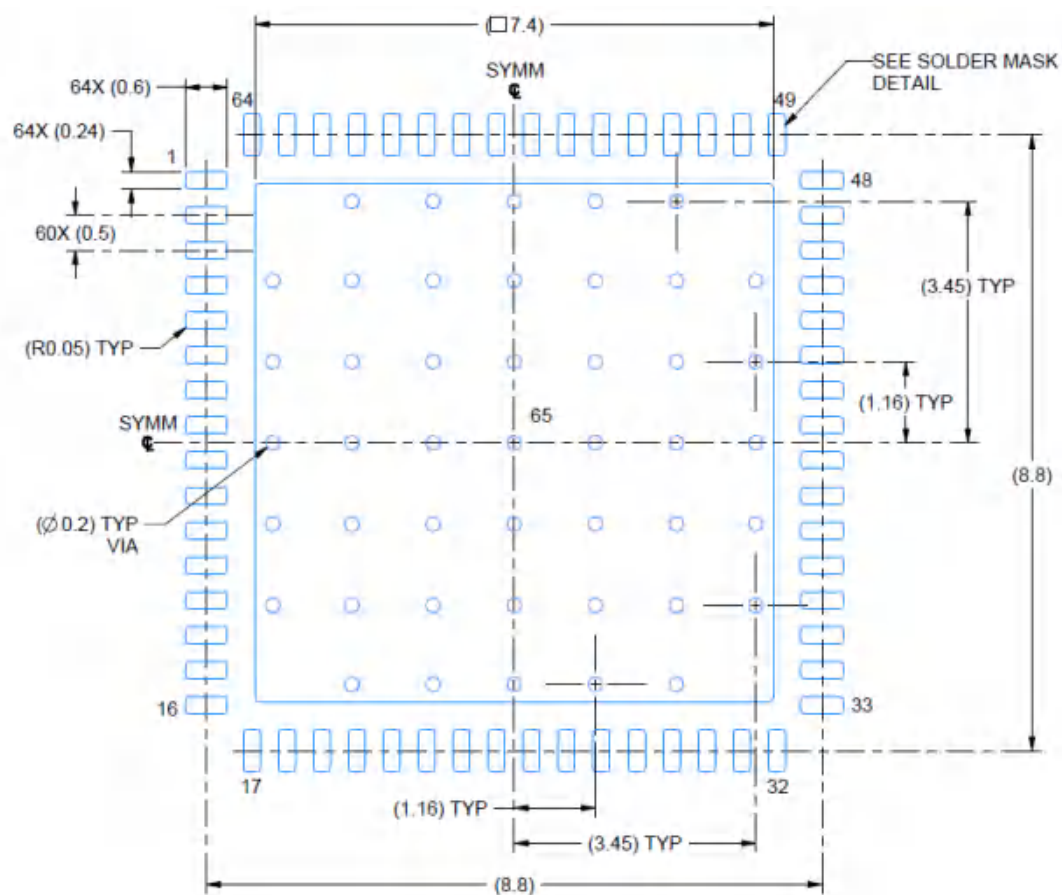


图 17 PCB 管脚排布

典型特性

测试条件: $T_A = 25^{\circ}\text{C}$, $AVDD=1.8\text{V}$, $DRVDD=1.8\text{V}$, 时钟占空比为 50%, 采样率为 250MSPS

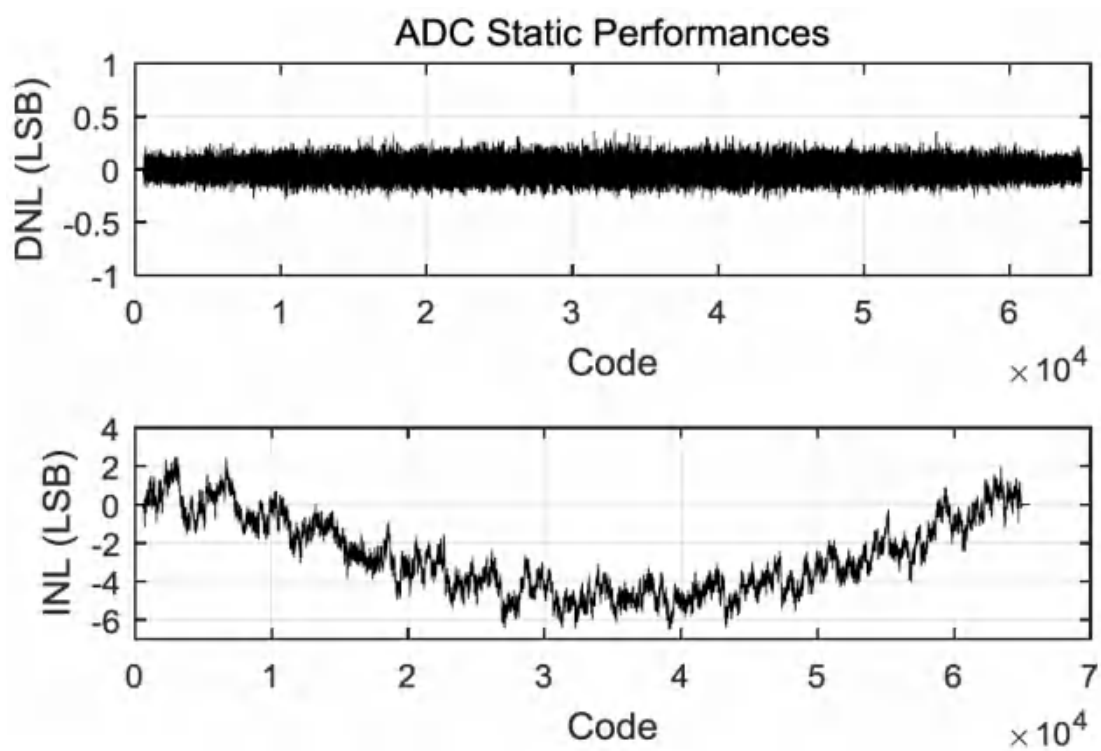


图 18 典型静态特性 ($f_{in}=70\text{MHz}$ @250MS/s)

双通道16位250MSPS 模数转换器

KHW16B250-2GX

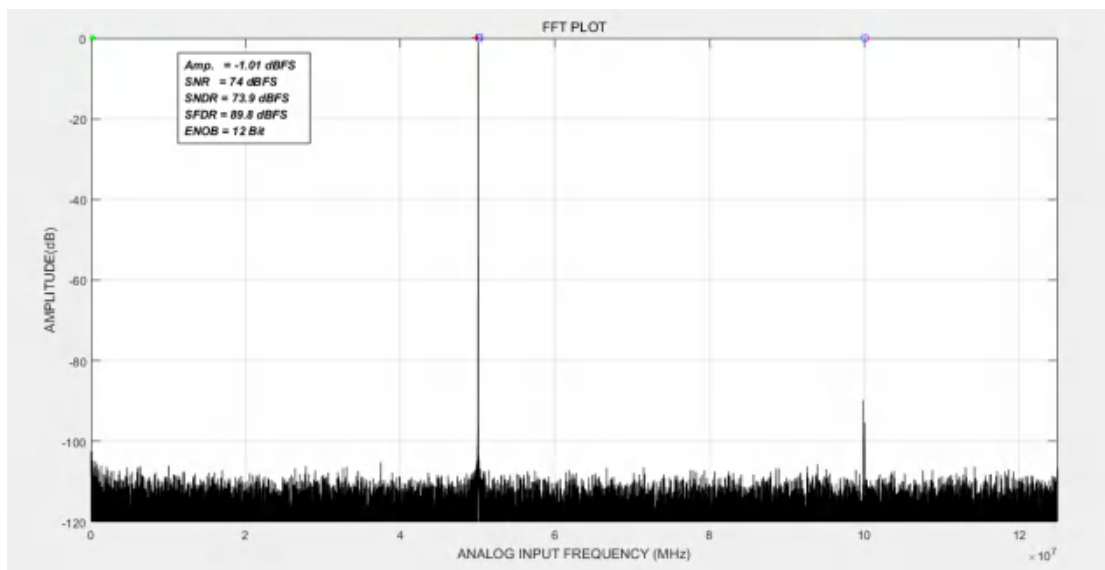


图 19 A_CHANNEL FIN=50M AMP=-1dbfs

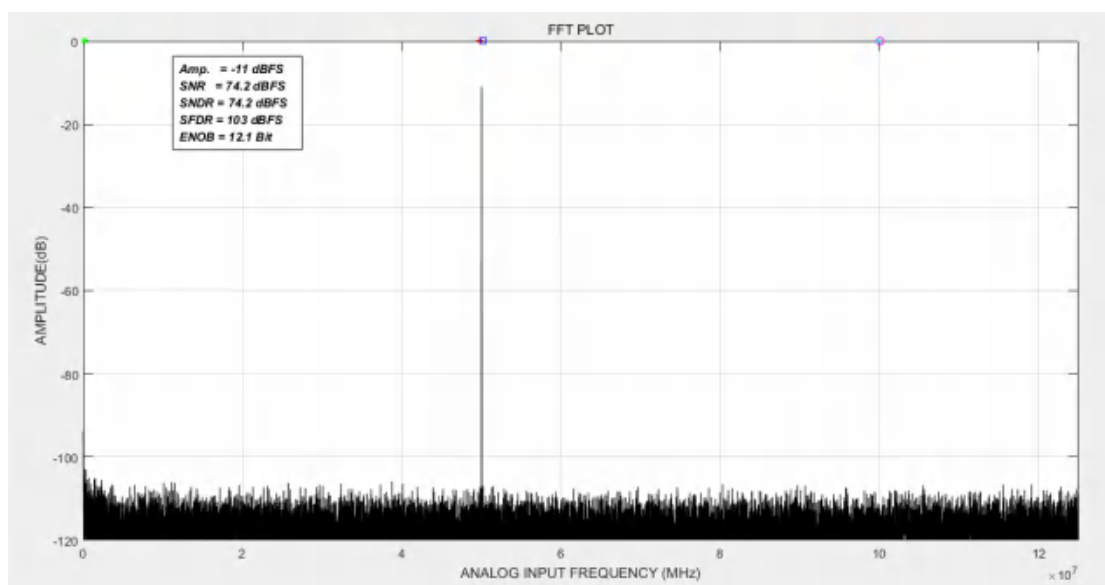


图 20 A_CHANNEL FIN=50M AMP=-11dbfs

双通道16位250MSPS 模数转换器

KHW16B250-2GX

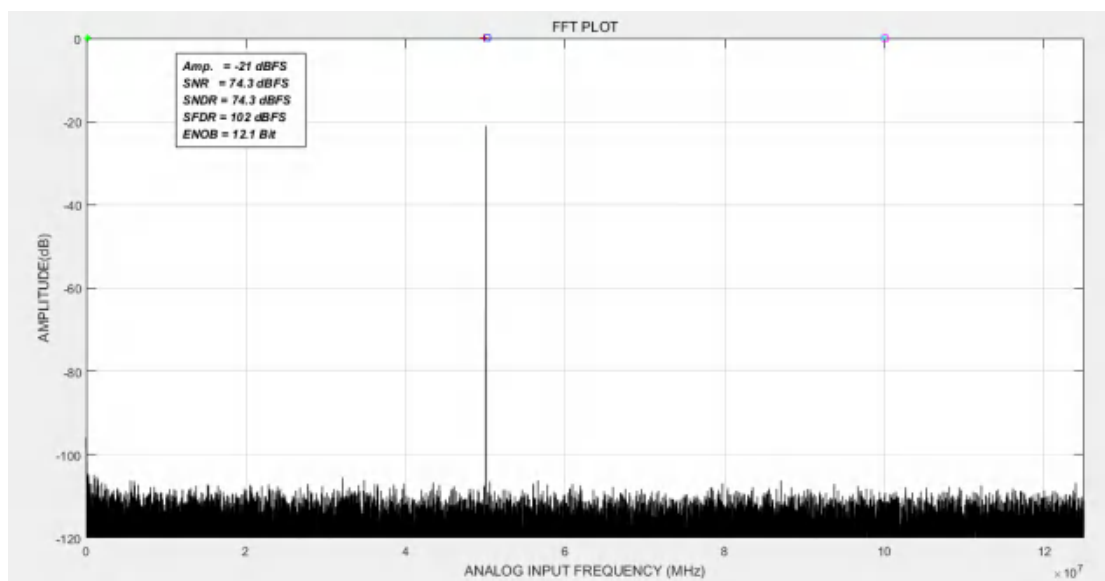


图 21 A_CHANNEL FIN=50M AMP=-21dbfs

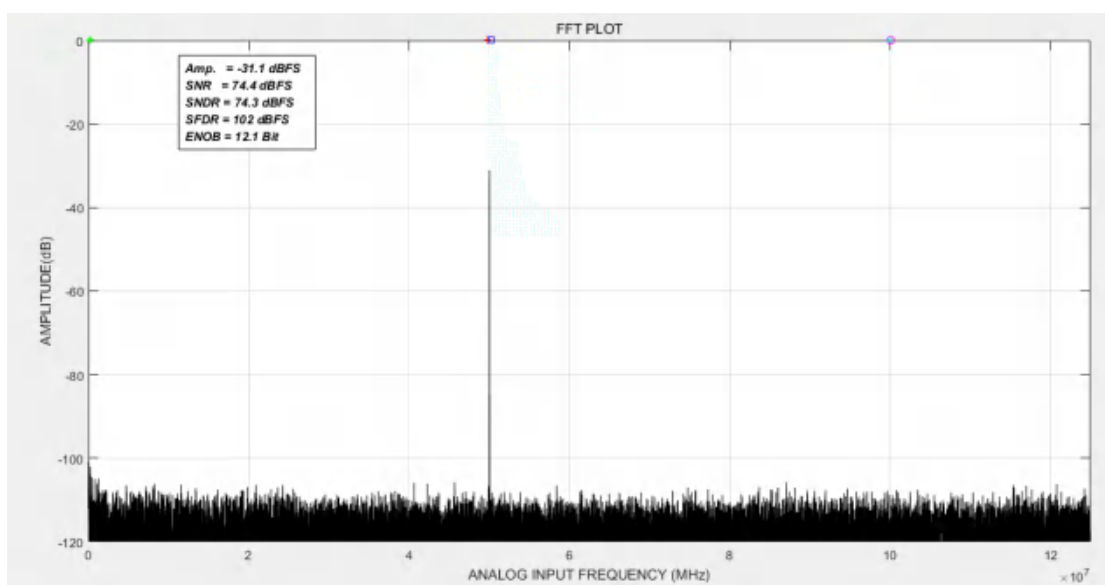


图 22 A_CHANNEL FIN=50M AMP=-31dbfs

双通道16位250MSPS 模数转换器

KHW16B250-2GX

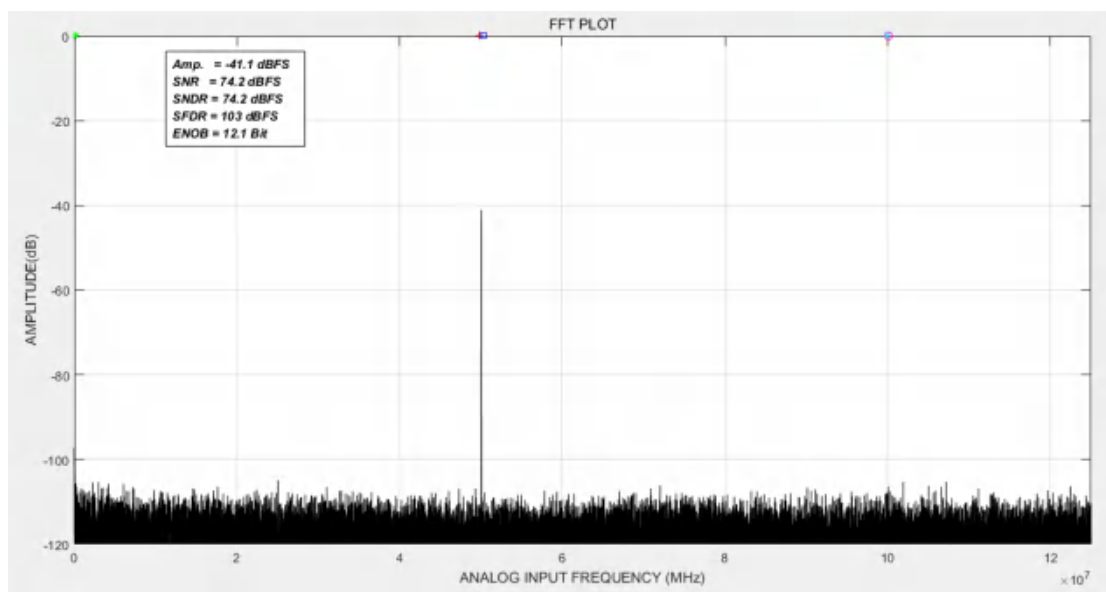


图 23 A_CHANNEL FIN=50M AMP=-41dbfs

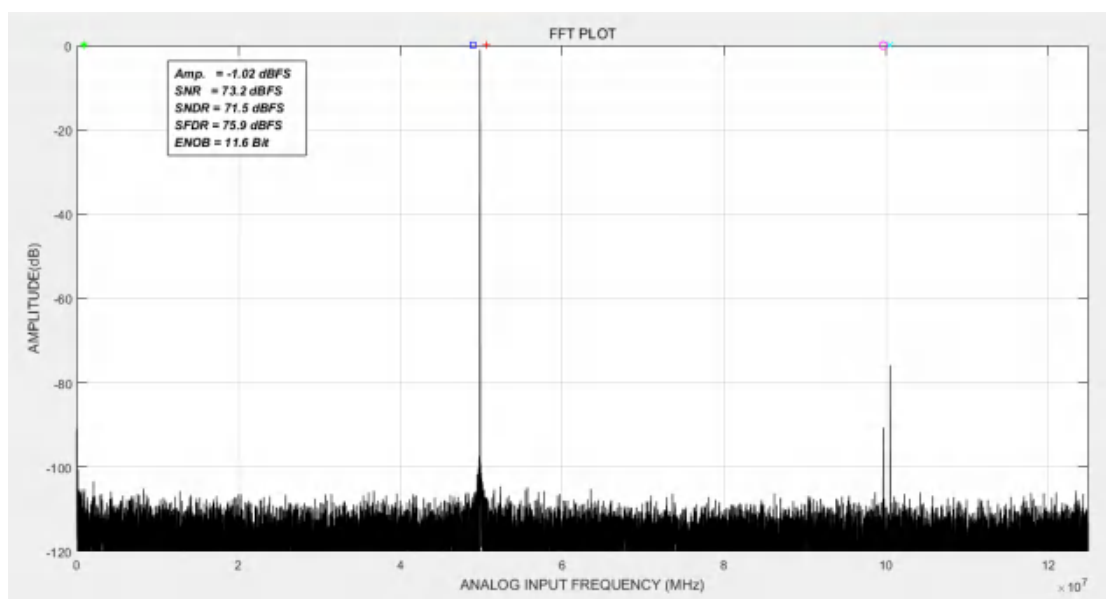


图 24 B_CHANNEL FIN=200M AMP=-1dbfs

双通道16位250MSPS 模数转换器

KHW16B250-2GX

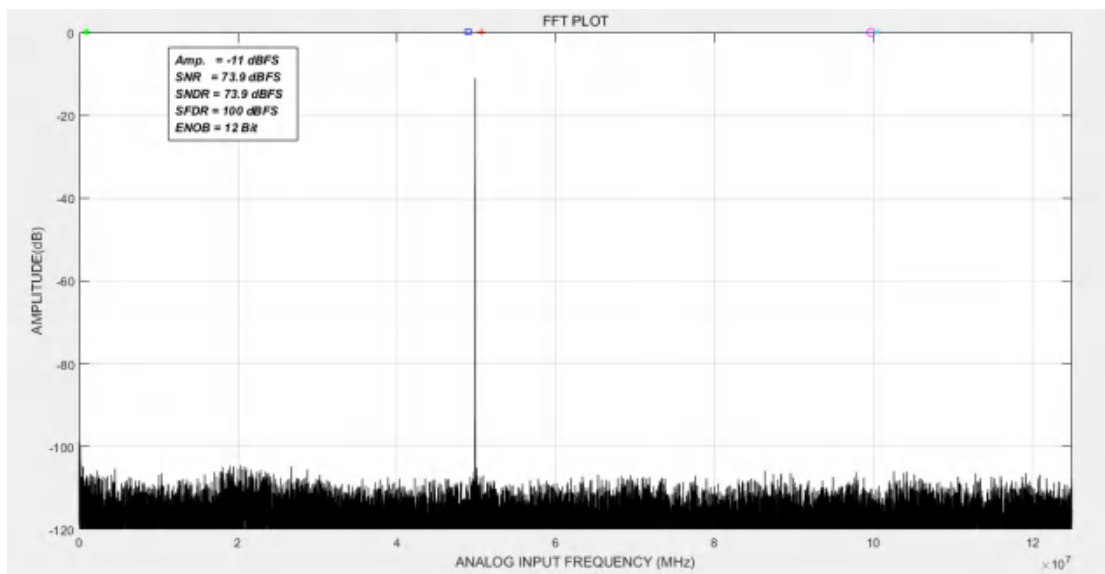


图 25 B_CHANNEL FIN=200M AMP=-11dbfs

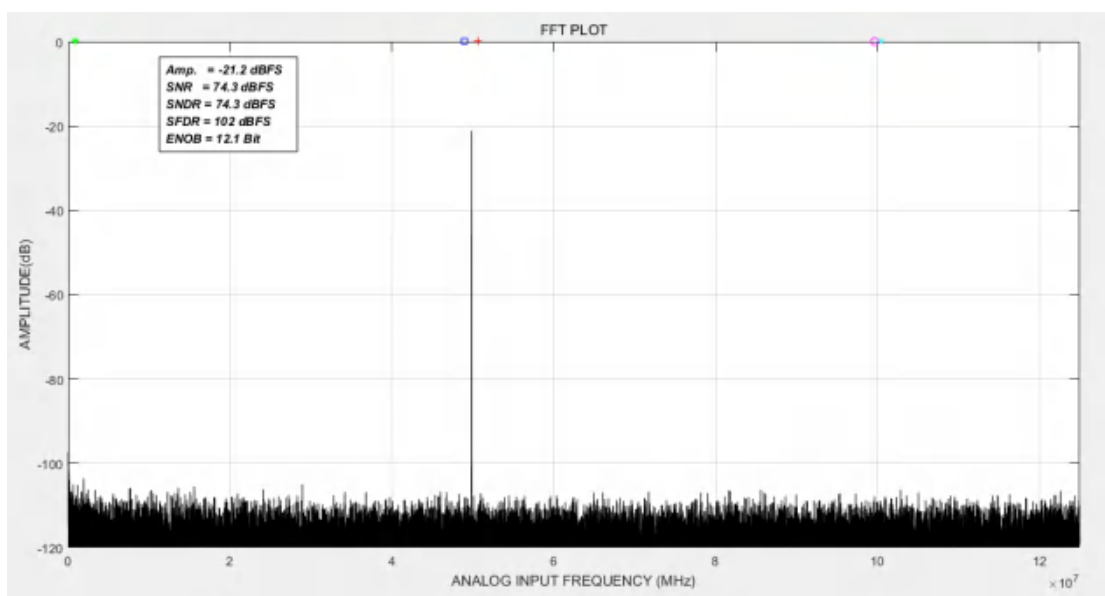


图 26 B_CHANNEL FIN=200M AMP=-21dbfs

双通道16位250MSPS 模数转换器

KHW16B250-2GX

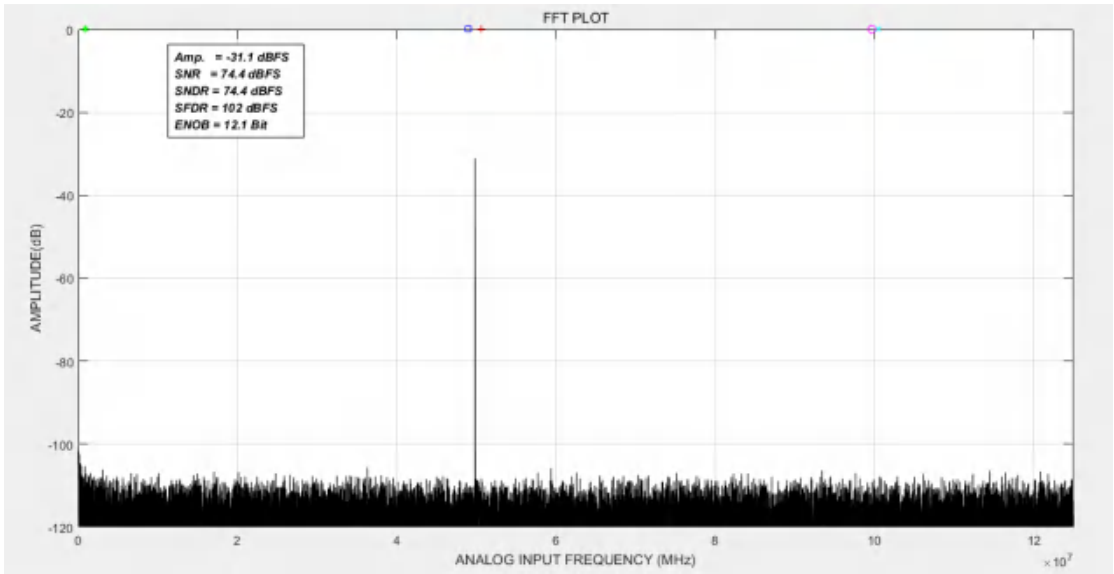


图 27 B_CHANNEL FIN=200M AMP=-31dbfs

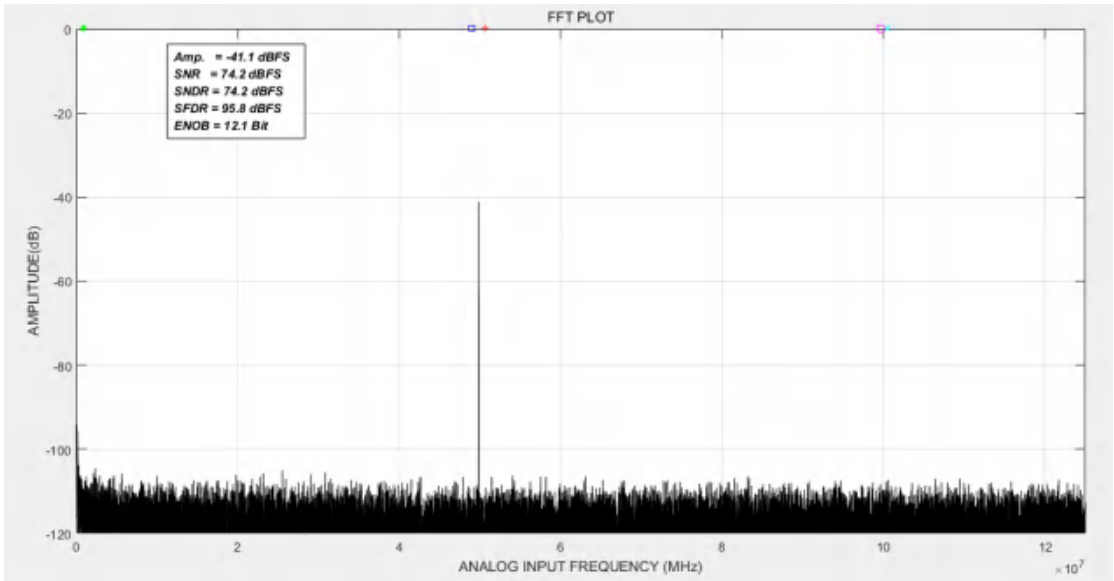


图 28 B_CHANNEL FIN=200M AMP=-41dbfs

表 16 版本历史

版本	修改时间	修改内容
V1.0	2020/3/11	最初版本
V2.0	2020/4/21	加入测试结果
V2.5	2020/5/19	修改时序信息
V2.6	2020/6/1	修改寄存器描述

双通道16位250MSPS 模数转换器

KHW16B250-2GX

V2.7	2020/8/18	加入推荐用户寄存器配置信息
V2.8	2021/1/26	加入绝对最大额定值和直流电流值
V2.9	2021/2/6	加入寄存器读出功能描述
V3.0	2021/3/25	更新了封装尺寸
V3.1	2021/4/29	增加了ESD信息，增加了测试条件等信息
V3.2	2021/5/13	增加了SPI信息
V3.3	2021/10/13	增加了时钟输入描述，增加了寄存器描述
V3.4	2022/01/06	修改了LVDS输出电路图
V3.5	2022/01/06	补充了SPI读出过程说明
V3.6	2022/05/12	补充了数字输入输出的电源域说明，OVR输出说明，输出数据格式，应用信息。
V3.7	2023/01/09	加入ESD警告说明
V3.8	2023/08/24	修改寄存器列表笔误
V4.1	2024/08/23	修改模拟端驱动电路时钟驱动电路