
四通道14位500MSPS 模数转换器 KHW14B500-4GX

DATA SHEET

数据手册

KHW14B500-4GX

四通道14位500MSPS 模数转换器

四通道14位500MSPS 模数转换器 KHW14B500-4GX

北京康华国芯电子科技有限公司

KHW14B500-4GX		
版本记录：2.0		当前版本时间：2023 年 10 月
新旧版本改动比较		
旧版 文档页数	当前版本 文档页数	主题（和旧版相比的主要变化）
	45	无

四通道14位500MSPS 模数转换器 KHW14B500-4GX

KHW14B500-4GX 产品手册 V 2.0

主要特征.....	4
管脚分布和功能描述	6
电气特性.....	8
AC 特性	10
数字特性.....	12
时序特性.....	13
典型特征.....	14
功能设置.....	17
DDC 描述.....	20
KHW14B500-4GX 寄存器说明	28
FOVR	34
FD 快速门限检测 (FD_A,FD_B,FD_C,FD_D)	35
JESD204B 介绍	36
系统设计和 PCB 设计建议	41
封装	43

四通道14位500MSPS 模数转换器 KHW14B500-4GX

主要特征

- 本产品 pin-to-pin 兼容 ADI 公司产品 AD9694
- JESD204B（子类 1）编码串行数字输出，lane 的速率达到 12.5Gbps，具有专用的 SYNC 引脚
- 最大转换速率：500MSPS
- 四通道 ADC
- 功耗：550mW/通道
- 72 引脚超薄型四方扁平无引线(VQFN) 封装 (10mm × 10mm)
- 供电电源：1.2V/2.5V/3.3V
- 信噪比（SNR）：66 dBFS（fin 为 70 MHz，500 MSPS，-1.0 dBFS）
- 无杂散动态范围（SFDR）：-85 dBFS（fin 为 70 MHz，500 MSPS，-1.0 dBFS）
- 输入带宽 1.4G
- 工作温度范围:零下 55 摄氏度到 150 摄氏度
- 带内部 dither

应用

- 通信和线缆基础设施
- 多载波、多模蜂窝接收器
- 雷达和智能天线阵列

- 宽带无线
- 测试和测量仪器
- 软件定义的和多样性射频
- 微波和双通道 I/O 接收器
- 集线器
- 功率放大器线性化

产品描述

KHW14B500-4GX 是一款 14 位四通道采样模数转换(ADC)，专门针对高性能、低功耗和易用性进行了优化。该产品的转换速率最高可达 500 MSPS，具有杰出的动态性能，适合宽带载波和宽带系统使用。芯片上集成了全部必需功能，包括输入 buffer，采样保持（T/H）与基准电压源，可提供完整的信号转换解决方案。

KHW14B500-4GX 采用先进的 CMOS 工艺制造，提供 72 引脚 VQFN 封装，额定温度范围为-55° C 至+150° C 温度范围。

四通道14位500MSPS 模数转换器 KHW14B500-4GX

功能模块框图

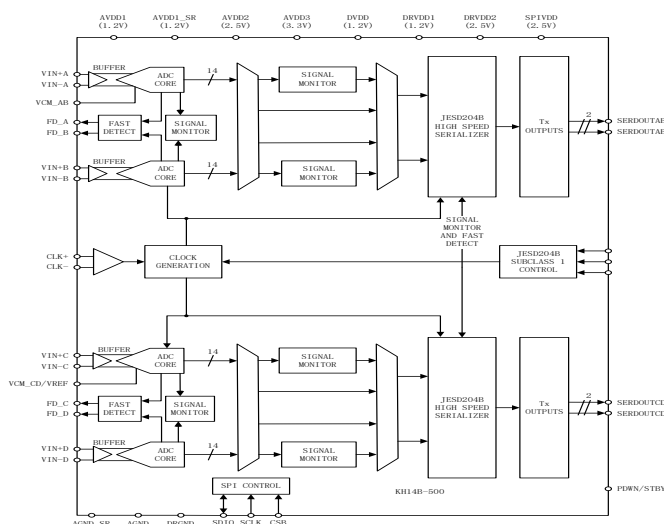


图 1 功能模块框图

- 易于使用：JESD204B 数据输出，而且便于和 FPGA 配合使用。片上参考和采样保持电路给系统设计带来了很高的灵活性。
- 串口控制：标准的串行接口可以支持芯片的各种功能设置，像数据格式控制、电源关断、增益调节和输出测试模式产生等等。
- 管脚兼容：本产品脚对脚兼容 AD9694

本产品突出性能特点

- 高性能：在输入频率 70M，采样频率 500M 时信噪比为 66db。
- 低功耗：在 500M 采样率时功耗仅为每通道 550mW。

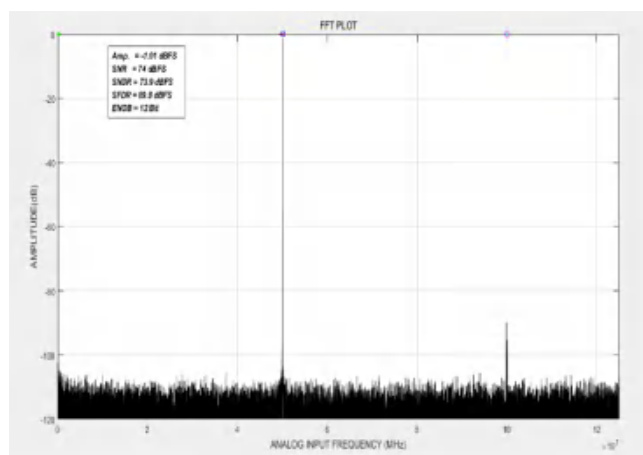


图 2 典型 FFT 测试图

管脚分布和功能描述

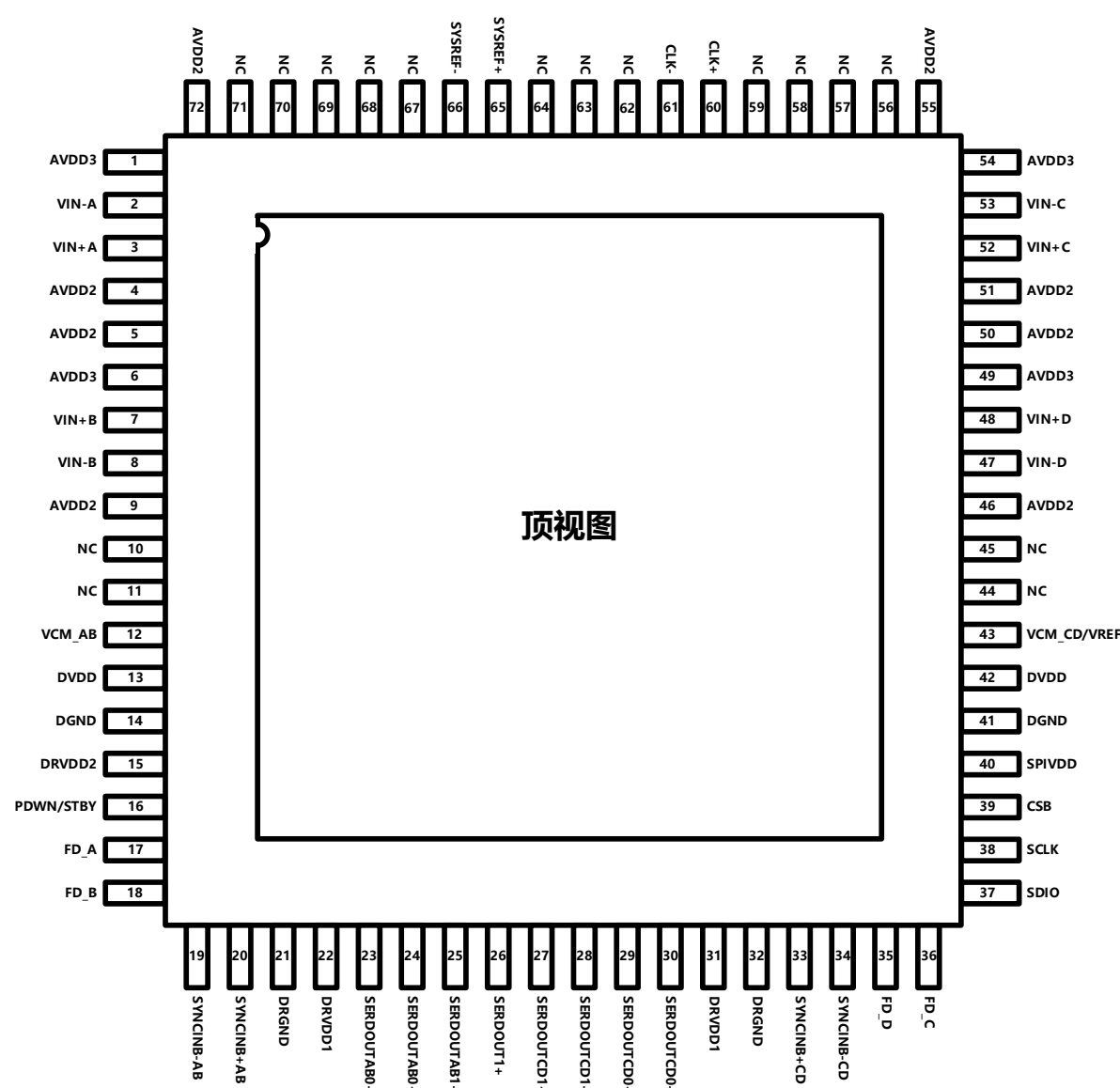


图 3 管脚分布

表 1 管脚功能描述

管脚序号	输入/输出	管脚名称	描述
0	地	AGND/EPAD	模拟地
1,6,49,54	电源	AVDD3	模拟电源 3.3V
2,3	输入	VIN-A,VIN+A	A 通道模拟差分输入
4,5,9,46,50,51,55,72	电源	AVDD2	模拟电源 2.5V
7,8	输入	VIN+B,VIN-B	B 通道模拟差分输入
12	输出	VCM_AB	AB 通道的模拟输入共模偏置
13,42	电源	DVDD	数字电源 1.2V

14,41	地	DGND	数字地
15	电源	DRVDD2	2.5V 电源
16	输入	PDWN	Power down 控制（高有效）。此管脚内部下拉到地。
17,18,35,36	输出	FD_A, FD_B, FD_C, FD_D	四个通道的快速探测输出。内部下拉到地。
19,20	输入	SYNCINB-AB,SYNCINB+AB	通道 A,B 的 JESD204B 同步输入信号，低有效
21,32	地	DRGND	数字地
22,31	电源	DRVDD1	高速串口部分电源。1.2V
23,24	输出	SERDOUTAB0-, SERDOUTAB0+	A 通道 JESE204B 输出
25,26	输出	SERDOUTAB1-, SERDOUTAB1+	B 通道 JESE204B 输出
27,28	输出	SERDOUTCD1+, SERDOUTCD1-	C 通道 JESE204B 输出
29,30	输出	SERDOUTCD0+, SERDOUTCD0-	D 通道 JESE204B 输出
33,34	输入	SYNCINB+CD,SYNCINB-CD	通道 C,D 的 JESD204B 同步输入信号，低有效
37	输入/输出	SDIO	串口数据输入/输出，内接下拉电阻到地。
38	输入	SCLK	串口时钟，内接下拉电阻到地。
39	输入	CSB	串口片选，内接下拉电阻到地。
40	电源	SPIVDD	串口部分的供电。2.5V
43	输出	VCM_CD	CD 通道的模拟输入共模偏置
47,48	输入	VIN-D,VIN+D	D 通道模拟差分输入
52,53	输入	VIN+C,VIN-C	C 通道模拟差分输入
60,61	输入	CLK+,CLK-	时钟输入
65,66	输入	SYSREF+,SYSREF-	JESD204B 的同步输入
10,11,44,45,56,57,58,59 62,63,64,67,68,69,70,71	NC	NC	No Connection

▲注意：数字输入输出端口 SCLK,SDIO,CSB,PDWN,FD_A,FD_B,FD_C,FD_D 均工作在

2.5V 电源域。

电气特性

AVDD3 = 3.3V, AVDD2 = 2.5V, DVDD = 1.2V, SPIVDD=2.5V, DRVDD1=1.2V, DRVDD2 = 2.5V, 500MSPS 采样率, $A_{IN} = -1.0 \text{ dBFS}$ 差分中频输入 $\leq 250\text{MHz}$, $A_{IN} = -3.0 \text{ dBFS}$ 差分中频输入 $> 250\text{MHz}$ 。温度范围在 $T_{MIN} = -55^{\circ}\text{C}$, $T_{MAX} = 125^{\circ}\text{C}$, 温度典型值在 $T_A = 25^{\circ}\text{C}$ 。

表 2 电气特性

参数	输入条件	MIN	TYP	MAX	单位
基本信息					
ADC 采样率		150	500	640	MSPS
分辨率			14		bits
供电					
DRVDD1 1.2 -V 模拟电源		1.08	1.2	1.32	V
DVDD 1.2 -V 数字电源		1.08	1.2	1.32	V
DRVDD2 2.5 -V 模拟电源		2.25	2.5	2.75	V
SPIVDD 2.5 -V 模拟电源		2.25	2.5	2.75	V
AVDD2 2.5 -V 模拟电源		2.25	2.5	2.75	V
AVDD3 3.3 -V 模拟电源		2.97	3.3	3.63	
IDVDD 1.2 -V 数字电源电流	输入信号在 370MHz 满量程时, 四通道全使能		400		mA
IAVDD3 3.3 -V 模拟电源电流	输入信号在 370MHz 满量程时, 四通道全使能		660		mA
IAVDD2 2.5 -V 模拟电源电流	输入信号在 370MHz 满量程时, 四通道全使能		700		mA
IDRVDD1 1.2 -V 高速串口数字电流			100		mA
IDRVDD2 2.5 -V 高速串口数字电流			50		mA
ISPIVDD 2.5 -V 模拟电源电流 (SPI)			50		mA
Pdis 总功耗	2 抽取 (模式 0, 4 通道), 输入信号在 370MHz 满量程时, 四通道全使能		2.4		W
	DDC 模式 8 (不抽取), 输入信号在 370MHz 满量程时, 四通道全使能		2.0		
休眠功耗	四通道全部休眠		30		mW
模拟输入端					
差分输入电压		1.6	1.8	2.0	V _{pp}
共模输入电压			1.9		V
差分输入电阻			0.2		k Ω
差分输入电容			2.5		pF

模拟输入带宽 (3dB)			1400		MHz
通道隔离度					
相邻通道隔离度 (通道 AB, 通道 CD)	$f_{IN} = 10\text{MHz}$		111		dBFS
	$f_{IN} = 100\text{MHz}$		96		
	$f_{IN} = 170\text{MHz}$		86		
	$f_{IN} = 270\text{MHz}$		88		
	$f_{IN} = 370\text{MHz}$		88		
	$f_{IN} = 470\text{MHz}$		86		
不相邻通道隔离度	$f_{IN} = 10\text{MHz}$		106		dBFS
	$f_{IN} = 100\text{MHz}$		99		
	$f_{IN} = 170\text{MHz}$		97		
	$f_{IN} = 270\text{MHz}$		95		
	$f_{IN} = 370\text{MHz}$		85		
	$f_{IN} = 470\text{MHz}$		89		
时钟输入端					
时钟输入端内部偏置电压	CLKINP 与 CLKINM		1.2		V

AC 特性

表 3 AC 特性

参数	测试条件	500-MSPS 无抽取输出			单位
		MIN	TYP	MAX	
Input Bandwidth (3db 输入带宽)			1200		MHz
SNR (信噪比)	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		66.3		dBFS
	$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		66.3		
	$f_{IN} = 190\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		66.1		
	$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		64.2		
	$f_{IN} = 350\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		63.4		
	$f_{IN} = 470\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		62.9		
NSD (噪声频谱密度)	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-143.3		dBFS/Hz
	$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-145.2		
	$f_{IN} = 190\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-147.3		
	$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-147.9		
	$f_{IN} = 350\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-146.6		
	$f_{IN} = 470\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-142.4		
SINAD (信纳比)	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		66.2		dBFS
	$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		66.1		
	$f_{IN} = 190\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		65.8		
	$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		62.7		
	$f_{IN} = 350\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		62.9		
	$f_{IN} = 470\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		62.9		
ENOB (有效位)	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		10.7		bit
	$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		10.7		

	$f_{IN} = 190\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		10.6		
	$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		10.1		
	$f_{IN} = 350\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		10.2		
	$f_{IN} = 470\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		10.2		
SFDR (无杂散动态范围)	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		81.7		dBc
	$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		81.3		
	$f_{IN} = 190\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		79.8		
	$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		78.1		
	$f_{IN} = 350\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		77.2		
	$f_{IN} = 470\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		75.5		
HD2 (二次谐波失真)	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-93.15		dBc
	$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-94.34		
	$f_{IN} = 190\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-96.73		
	$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-93.58		
	$f_{IN} = 350\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-93.67		
	$f_{IN} = 470\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		-93.22		
HD3 (三次谐波失真)	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		81.7		dBc
	$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		81.3		
	$f_{IN} = 190\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		79.8		
	$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		78.1		
	$f_{IN} = 350\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		77.2		
	$f_{IN} = 470\text{MHz}$, $A_{IN} = -1\text{ dBFS}$		75.5		

数字特性

表 4 数字特性

参数	测试条件	MIN	TYP	MAX	单位
数字输入 (SCLK,SDIO,CSB,PDWN)					
V _{IH} (输入高电平电压)	所有数字输入支持 2.5V 逻辑电平	2.25	2.5	2.75	V
V _{IL} (输入低电平电压)	所有数字输入支持 2.5V 逻辑电平	-0.4	0	0.7	V
I _{IH} (高电平输入电流)	SCLK,SDIO,CSB, PDWN		15		uA
I _{IL} (低电平输入电流)	SCLK,SDIO,CSB, PDWN		15		uA
数字输入 (SYSREF+, SYSREF-, SYNCINB+AB, SYNCINB-AB, SYNCINB+CD, SYNCINB-CD)					
V _D (差分输入电压)		0.35	0.45	1.4	V
V _(CM_DIG) (给 SYSREF 的共模电压)			1.3		V
数字输出 (SDOUT,FD_A,FD_B,FD_C,FD_D)					
V _{OH} (输出电压高电平)			2.5		V
V _{OL} (输出电压低电平)				0.8	V
I _{OH} (高电平输出电流)	V _{OH} (min)		0.7		mA
I _{OL} (低电平输出电流)	V _{OL} (max)		0.7		mA
数字输出 (JESD204B Interface:DxP, DxM) ⁽²⁾					
V _{OD} (输出差分电压)	默认摆幅		700		mVpp
V _{OC} (输出共模电压)			450		mV
发射短路电流	发射引脚短路到-0.25V 到 1.45V 之间的任意 电压上	-100		100	mA
Z _{OS} (单端输出阻抗)			50		Ω
输出电容	器件内部输出电容, 从任何一个输出到地		2		pF

(1) SCLK, SDIO, CSB 和 PDWN 引脚通过 50-kΩ (典型条件) 下拉到地

时序特性

典型值在 $T_A=25^{\circ}\text{C}$ ，温度在 $T_{\text{MIN}} = -55^{\circ}\text{C}$ 到 $T_{\text{MAX}} = 125^{\circ}\text{C}$ ，ADC 采样率为 500MSPS，时钟占空比为 50%，
 $\text{AVDD3} = 3.3\text{V}$, $\text{AVDD2} = 2.5\text{V}$, $\text{DVDD} = 1.2\text{V}$, $\text{SPIVDD}=2.5\text{V}$, $\text{DRVDD1}=1.2\text{V}$, $\text{DRVDD2} = 2.5\text{V}$, 在-1dBFS 差分中频输入 。

表 5 时序特性

	MIN	TYP	MAX	单位
采样时序特性				
从唤醒到数据输出的时间			135	us
转换延时：模拟信号采样到数字信号输出	103		115	时钟周期
OVR 延时：模拟信号采样到 OVR 输出		62		时钟周期
$t_{\text{SU_SYSREF}}$ SYSREF 的建立时间，相对于输入时钟上升沿	300		900	ps
$t_{\text{H_SYSREF}}$ SYSREF 的保持时间，相对于输入时钟上升沿	100			ps
JESD 输出接口时序特性				
单位间隔	100		400	ps
串口输出速率	2.5		10	Gbps
BER of $1E^{-15}$ 与 lane 速率 = 10Gbps 条件下的总体抖动		26		ps
BER of $1E^{-15}$ 与 lane 速率= 10Gbps 条件下的随机抖动		0.75		ps rms
BER of $1E^{-15}$ 与 lane 速率= 10Gbps 条件下的确定抖动		12		ps, pk-pk
t_{R} , t_{F} 数据上升时间，数据下降时间：上升和下降时间是在输出波形的 20%到 80%测量所得， $2.5\text{Gbps}\leq\text{速度}\leq 12.5\text{Gbps}$		35		ps

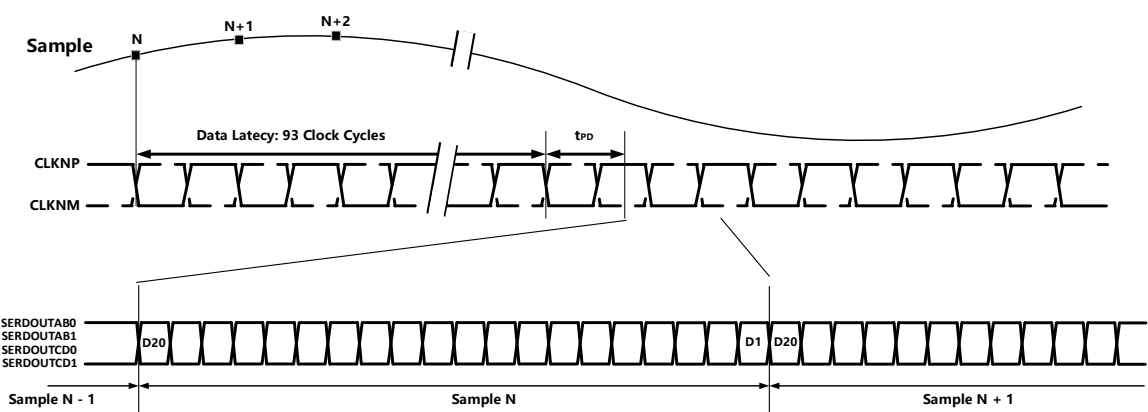


图 4 时序特性

典型特征

典型温度为 25℃，全温度范围从-55℃到 125℃，采样率为 500MSPS，分辨率为 14 位，没有抽取滤波，50%时钟占空比，AVDD3 = 3.3V, AVDD2 = 2.5V, DVDD = 1.2V, SPIVDD=2.5V, DRVDD1=1.2V, DRVDD2 = 2.5V，输入信号小于 250M 时输入信号幅度为-1dBFS，输入信号大于 250M 时输入信号幅度为-3dBFS（除非另作说明）。

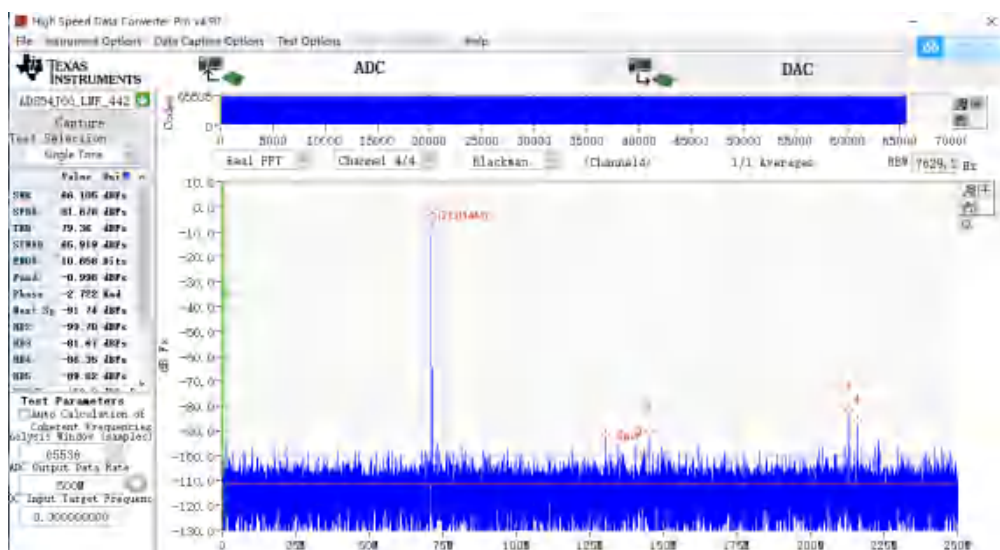


图 5 500MSPS $f_{in}=70\text{MHz}$ -1dBFS ch4

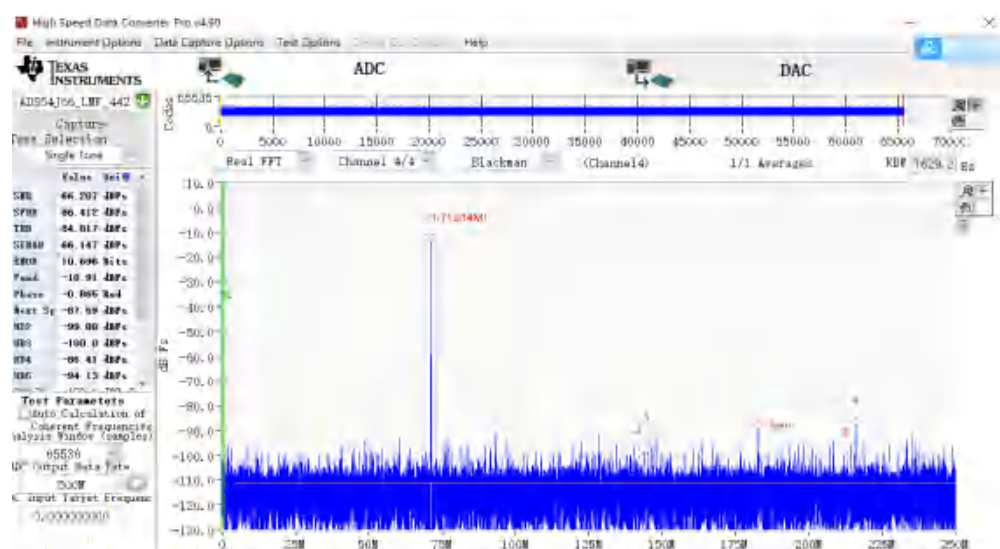


图 6 500MSPS $f_{in}=70\text{MHz}$ -10dBFS

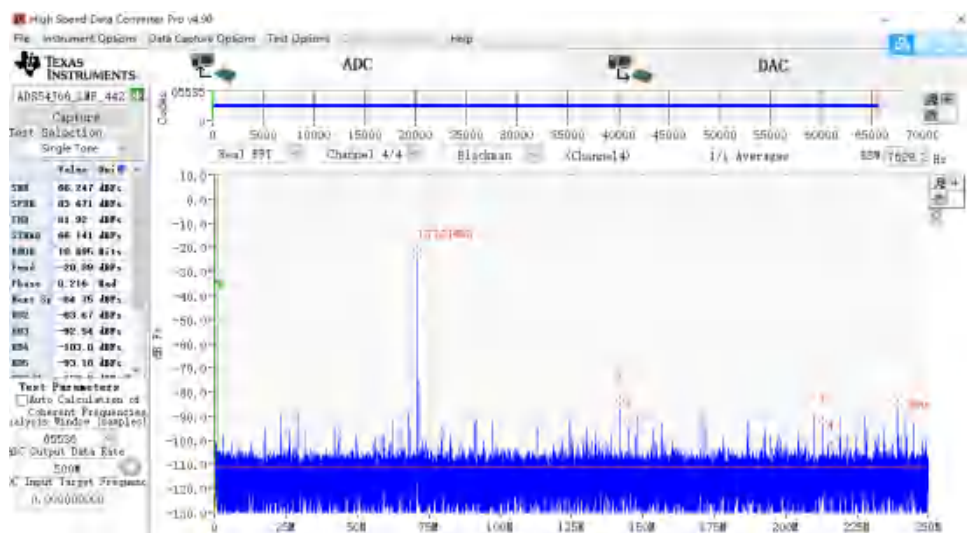


图 7 500MSPS fin=70MHz -20dBFS

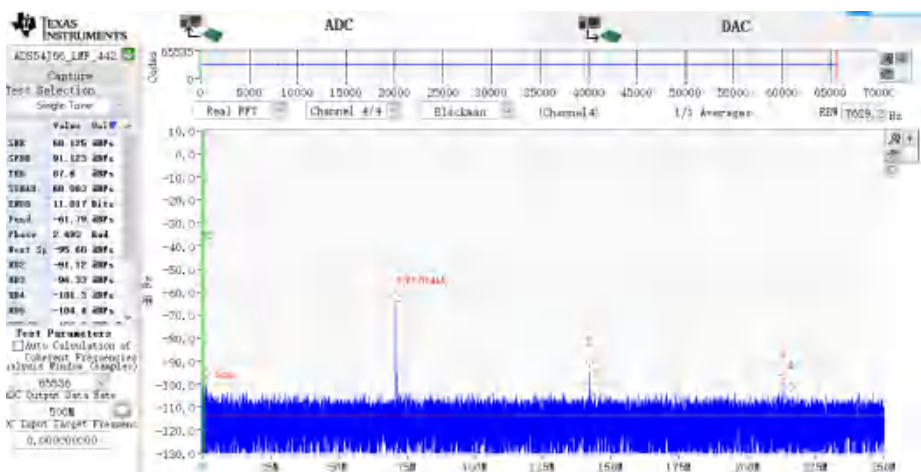


图 8 500MSPS fin=70MHz -60dBFS

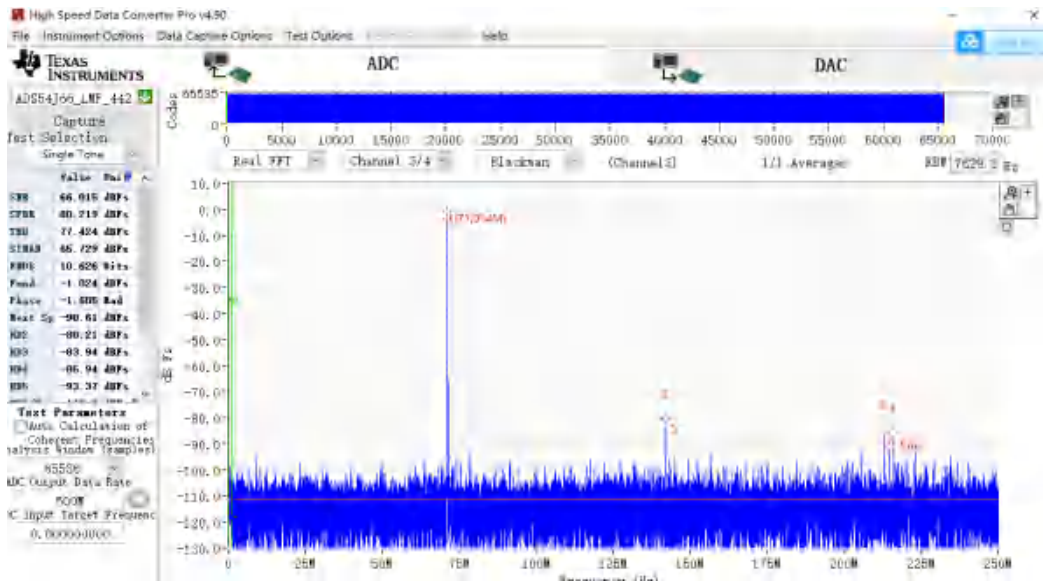


图 9 500MSPS $f_{in}=70\text{MHz}$ -1dBFS ch3

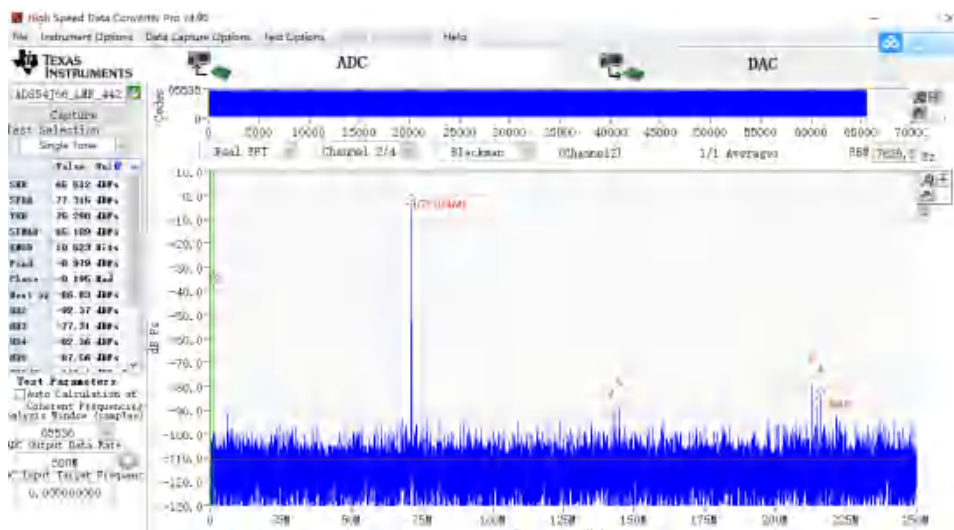


图 10 500MSPS $f_{in}=70\text{MHz}$ -1dBFS ch2

功能设置

器件配置

KHW14B500-4GX 可以通过串行接口来配置，就像这部分所描述的那样。

KHW14B500-4GX 支持 15 位地址 8 位数据的 SPI 操作。

通过 SPI 配置接口对内部寄存器进行配置，接口包括 CSB，SCLK、SDIO 引脚。当 CSB 有效时（置低），数据串行移位写入。在 SDIN 上的数据在每一个 SCLK 的上升沿锁存（CSB 有效时）。

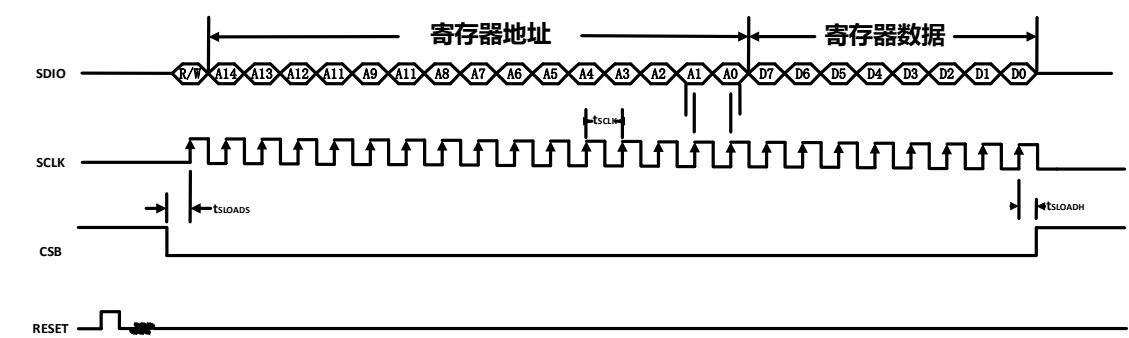


图 11 接口时序

表 6 接口描述

SPI 比特	描述	操作值
R/W	读/写	1'b0 → 写操作 1'b1 → 读操作
ADDR[14:0]	地址	/
DATA[7:0]	数据	/

表 7 SPI 时序要求

	最小	最大	单位
f _{SCLK} SCLK 频率(=1 / t _{SCLK})	>dc	20	MHz
t _{LOADS} CSB 到 SCLK 建立时间	25		ns
t _{LOADH} SCLK 到 CSB 保持时间	t _{SCLK}		ns
t _{DSU} SDATA 建立时间	25		ns
t _{DH} SDATA 保持时间	25		ns

SPI 串口时序

写入时序

内部寄存器分为三个区：ADC、DDC 和 JESD204B，具体通过寄存器地址分区，详见表 9。写入寄存器需做如下操作：

- 1. CSB 引脚拉低
- 2. 开始一个串行序列循环，指定写入内容的寄存器地址
- 3. 写入寄存器数值，如

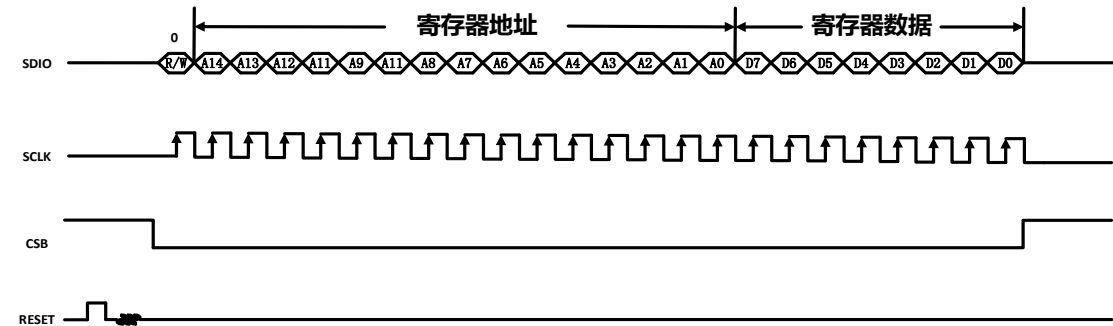


图 12 所示

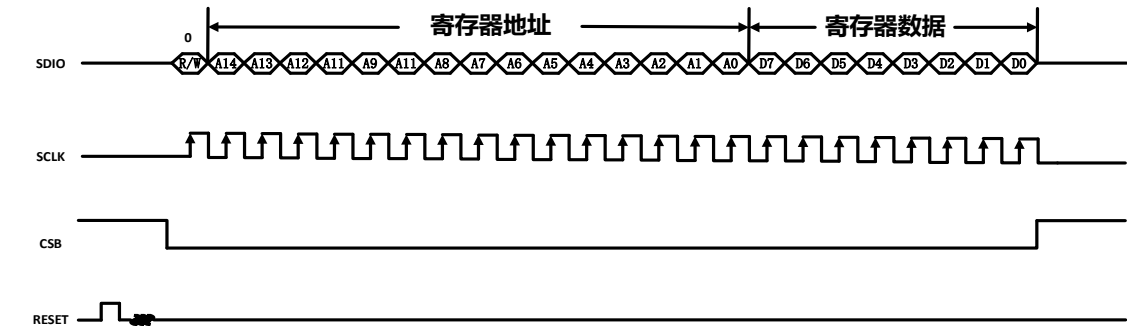


图 12 写入时序

读出时序

读寄存器值进行如下操作：

- 1. CSB 引脚拉低
- 2. 选择需要读取内容的寄存器
- 3. 将 R/W 比特设置为高，并写入需要读出的寄存器地址

SDIO 引脚输出数据，如

图 13 所示

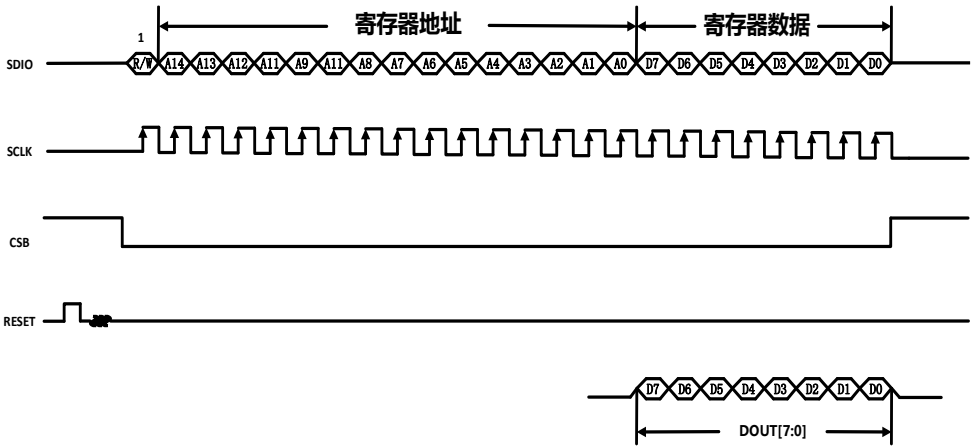


图 13 读出时序

DDC 描述

KHW14B500-4GX 具有 2 倍或 4 倍抽取，它可以将总带宽分成 16 个或者 4 个子带，可以对其中任意一个子带进行下抽取滤波，工作在如表 8 所示 8 种工作模式。

表 8 工作模式

工作模式	描述	混频	抽取	输出格式	输出速率
0	抽取	$+f_s/4$	2	复数	250MSPS
1		$-f_s/4$	2	复数	250MSPS
2		-	2	实数	250MSPS
3		-	2	实数	250MSPS
4		$Nxf_s/16$	2	实数	250MSPS
5		$Nxf_s/16$	2	复数	250MSPS
6		$Nxf_s/16$	4	复数	125MSPS
7		$Nxf_s/16$	2	实数	500MSPS
8	不抽取	-		实数	500MSPS

模式 0/1

数字下变频模块模式 0 或者模式 1 内部含有 $\pm f_s/4$ 的正交混频器和 2 倍下变频抽取模块，在复数通带内的中心频率的 $\pm f_s/4$ 处近似达到 $\pm 110\text{MHz}$ 带宽，阻带衰减达 90dB 左右，通带波动少于 $\pm 0.1\text{dB}$ 。如图 14 表示该模式工作原理以及输入输出频谱。图 15 为 2 倍抽取滤波后的频响特性。

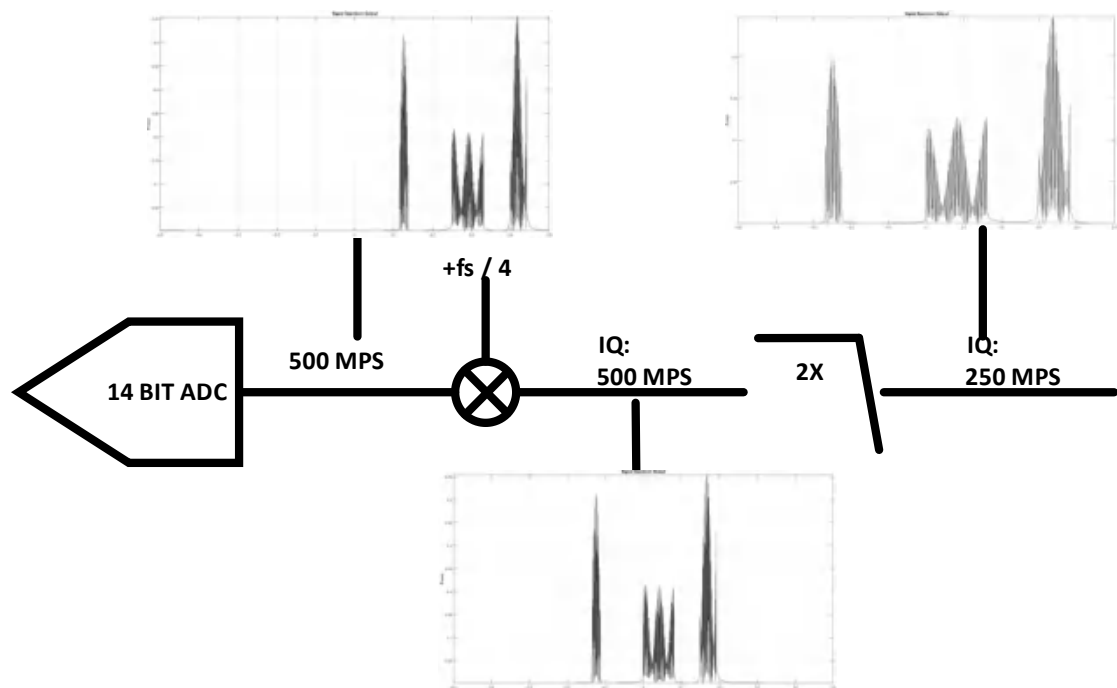


图 14 模式 0/1 工作原理图和输入输出频谱

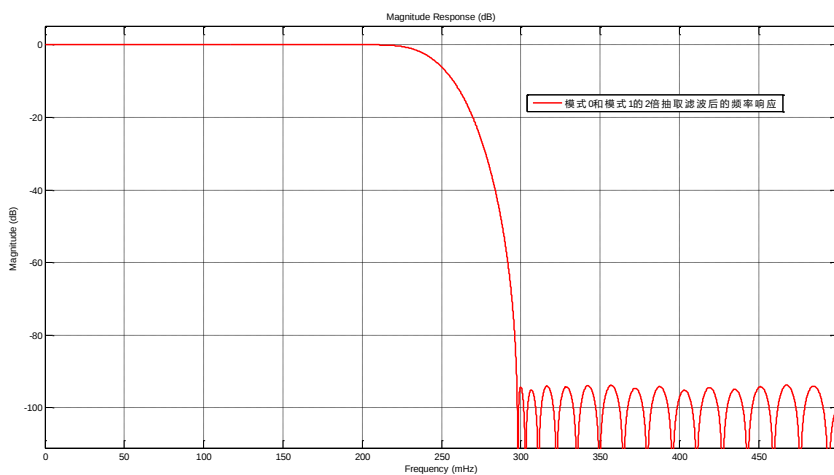


图 15 低通滤波器频率响应

模式 2

数字下变频模块的 2 倍下变频低通带抽取单通道输出。通带近似有 110MHz 带宽 如图 16 所示的频谱特性，图 15 表述 2 倍下变频滤波器的频率响应特性。

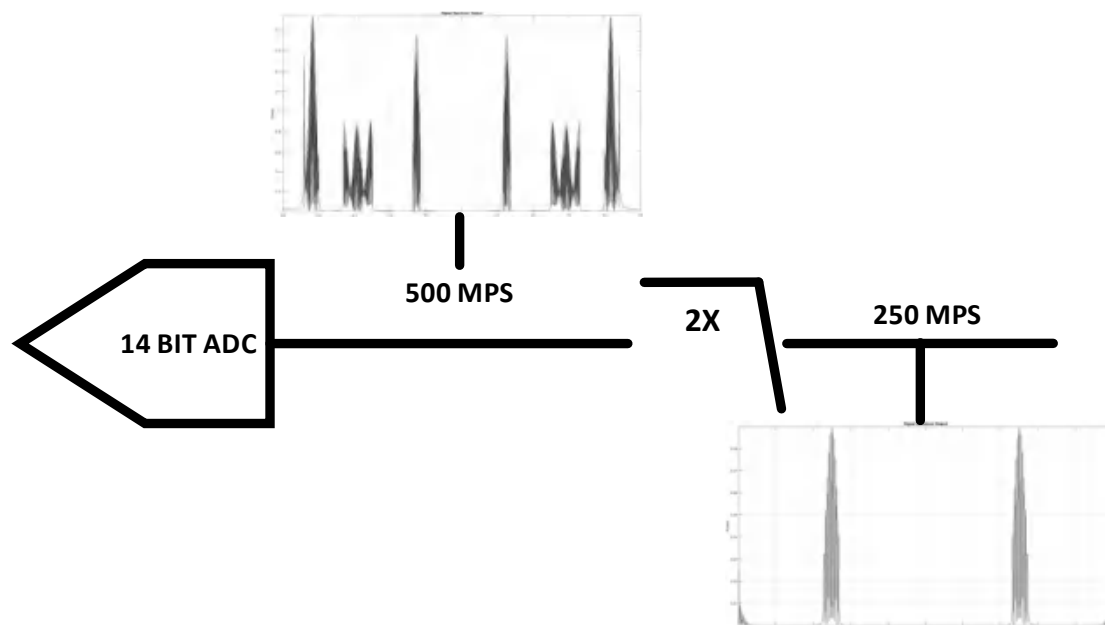


图 16 模式 2 工作原理图和输入输出频谱

模式 3

数字下变频模块的 2 倍下变频高通带抽取单通道输出。通带近似有 110MHz 带宽。

如图 17 所示的频谱特性，图 15 表述 2 倍下变频滤波器的频率响应特性。

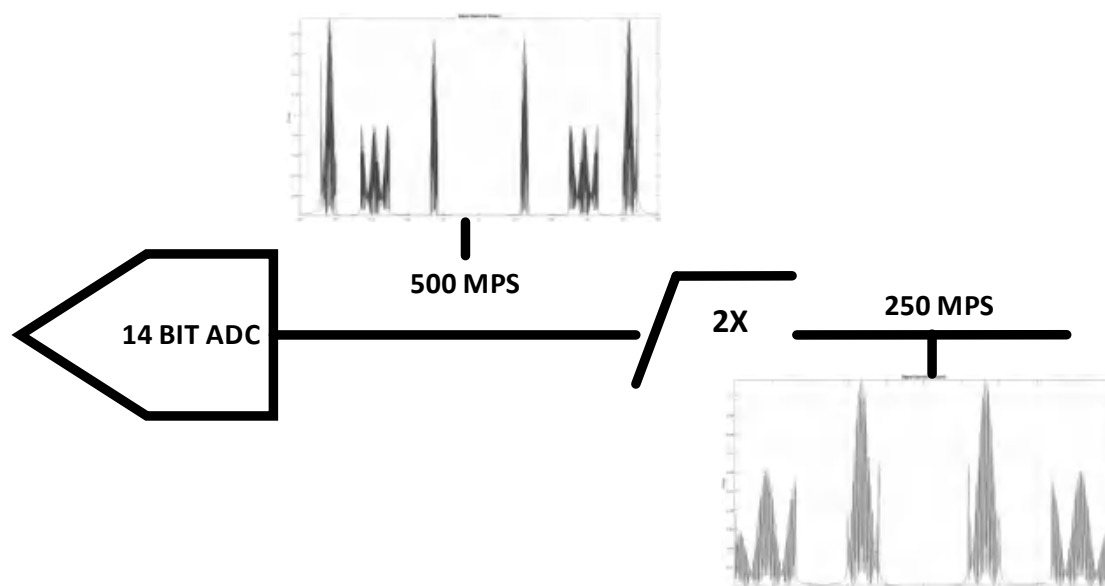


图 17 模式 3 工作原理图和输入输出频谱

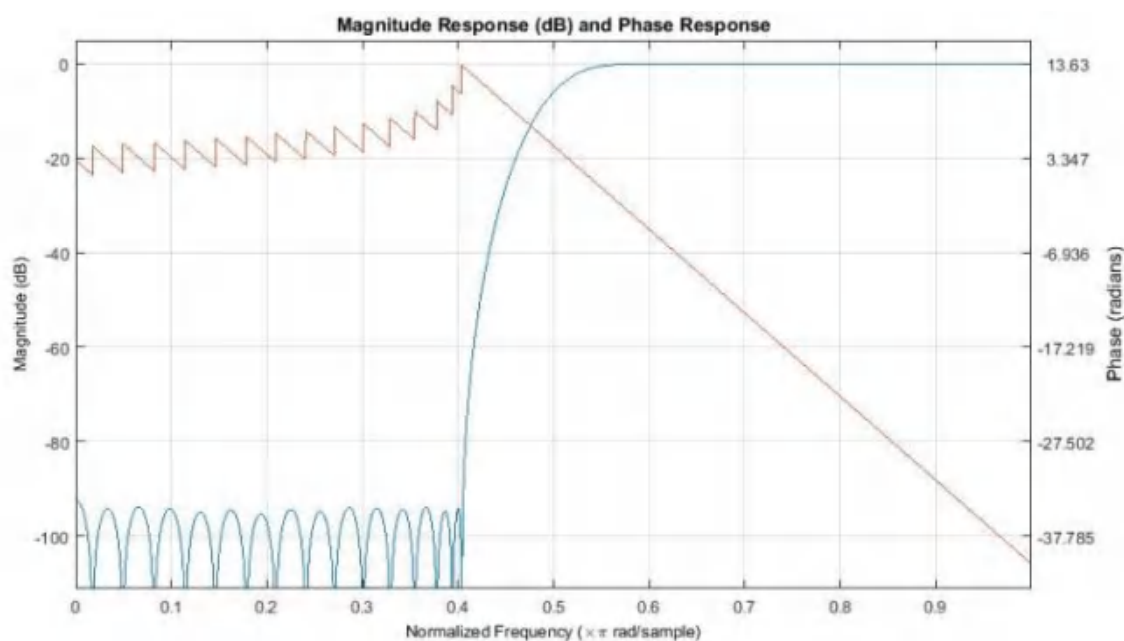


图 18 模式 3 滤波器频率响应

模式 4

在这个配置方式下，数字下变频模块包括一个能够选择频带的 $N \times f_s/16$ 正交混频器（ N 取值范围为-8 到+7）。将整个频带划分为 16 个子带，正交混频器将在中心频率 $N \times f_s/16$ 附近处的子带进行 2 倍的下抽取，经过低通滤波器，复数通带内有 $\pm 55\text{MHz}$ 带宽。在模式 4 的情况下，在输出存在 $f_s/8$ 正交移频模块，将数字下变频后的频谱搬移到 Nyquist 频带范围内单通道输出。如图 19 中所示表述数字下变频模块在模式 4 下低通滤波器前的输入信号的频谱，如图 19 中所表述数字下变频模块在模式 4 下经过 2 倍下变频低通滤波后经正交混频后输出信号的实数频谱，图 20，图 21 表述经两级 2 倍下变频低通滤波的频率响应。

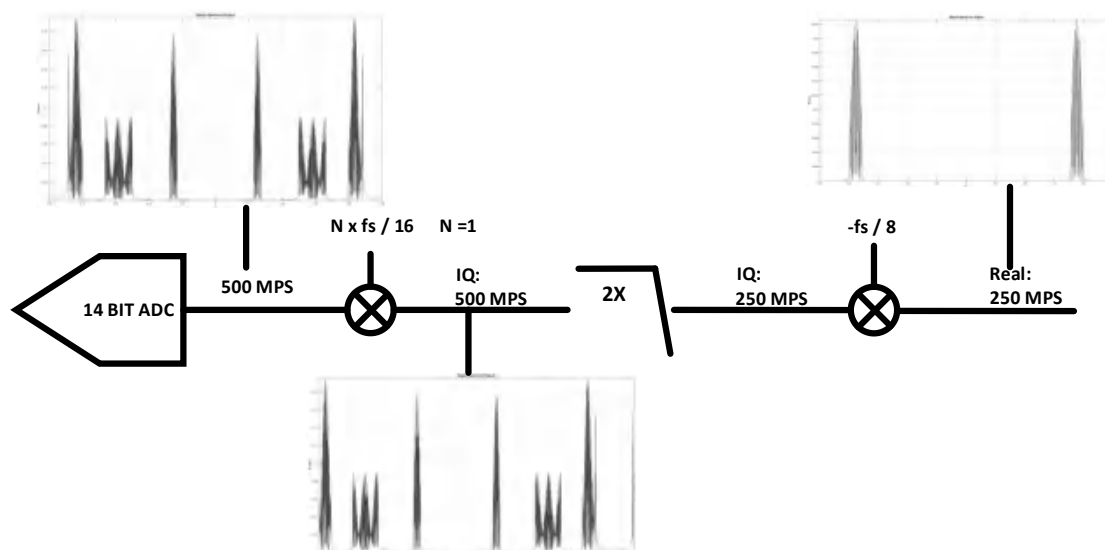


图 19 模式 4 工作原理图和输入输出频谱

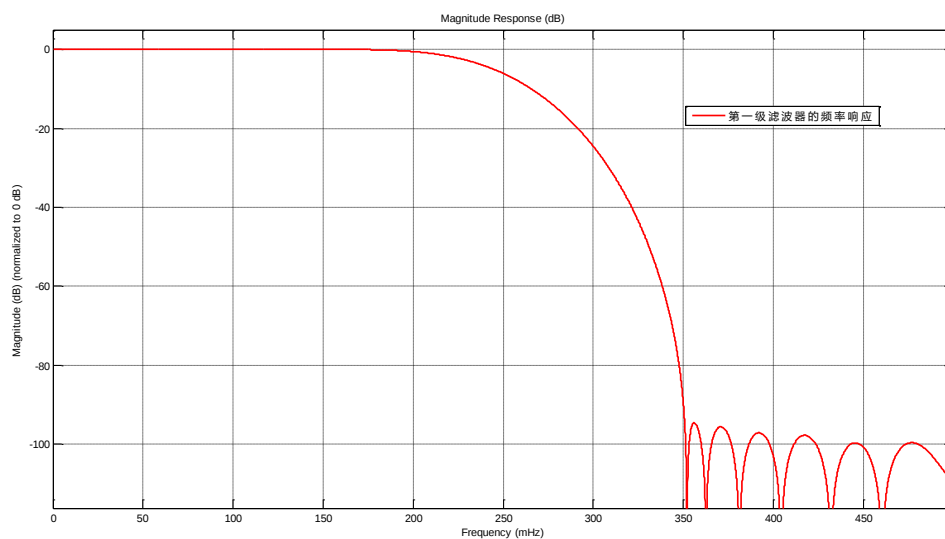


图 20 第一级滤波器频率响应

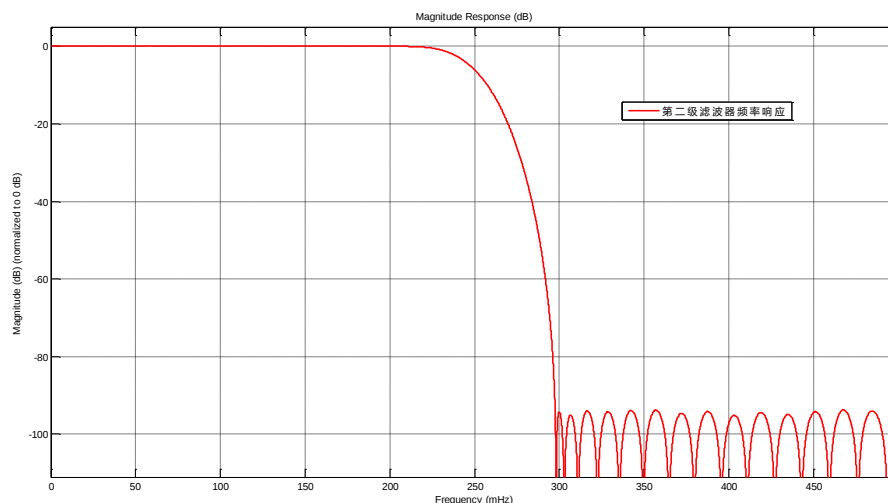


图 21 第二级滤波器频率响应特性

模式 5

在这个配置方式下，数字下变频模块包括一个能够选择频带的 $N \times f_s/16$ 正交混频器（ N 取值范围为-8 到+7）。将整个频带划分为 16 个子带，正交混频器将在中心频率 $N \times f_s/16$ 附近处的子带进行 2 倍的下抽取，经过低通滤波器，复数通带内有 $\pm 55\text{MHz}$ 带宽。阻带衰减近似 90dB。如图 22 中所示表述数字下变频模块在模式 5 下低通滤波器前的输入信号的频谱，如图 22 中所示表述数字下变频模块在模式 5 下经过 2 倍下变频低通滤波后的输出信号的频谱。图 20，图 21 表述两级 2 倍下变频低通滤波后的频率响应特性。

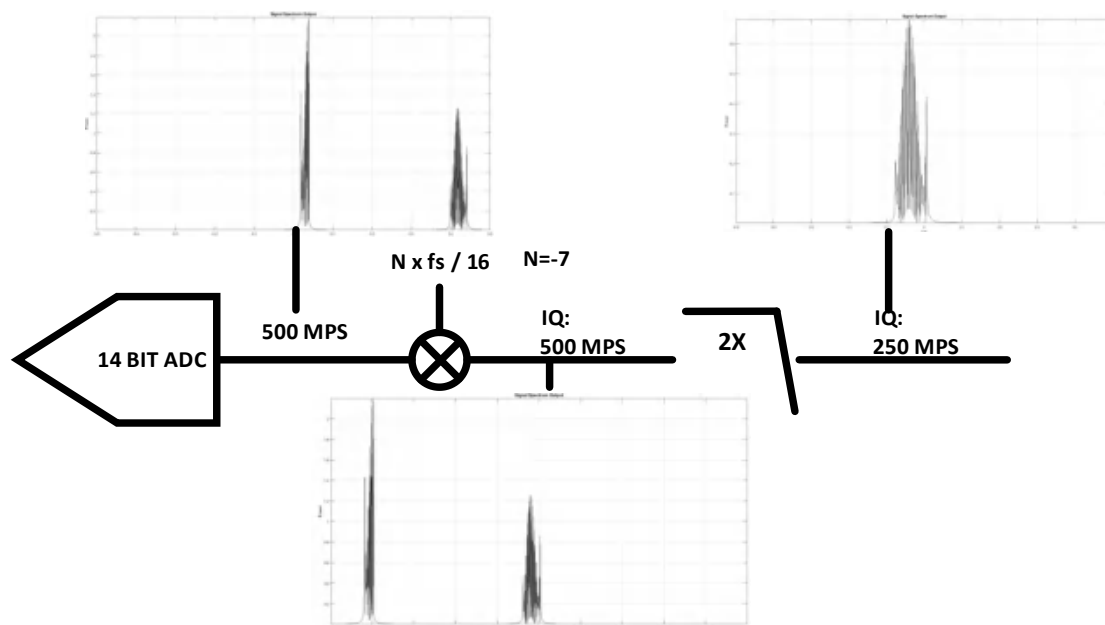


图 22 模式 5 工作原理图和输入输出频谱

模式 6

在这个配置方式下，数字下变频模块包括一个能够选择频带的 $N \times f_s / 16$ 正交混频器（ N 取值范围为-8 到+7）。将整个频带划分为 16 个子带，正交混频器将在中心频率 $N \times f_s / 16$ 附近处的子带进行 4 倍的下抽取，经过低通滤波器，复数通带内有 $\pm 55\text{MHz}$ 带宽。阻带衰减近似 90dB。如图 23 中所示表述数字下变频在模式 6 下滤波器前的输入信号的频谱，如图 23 中所示表述数字下变频在模式 6 下经过 4 倍下变频低通滤波后的输出信号的频谱。图 20，图 21 表述两级 4 倍下变频低通滤波后的频率响应特性。

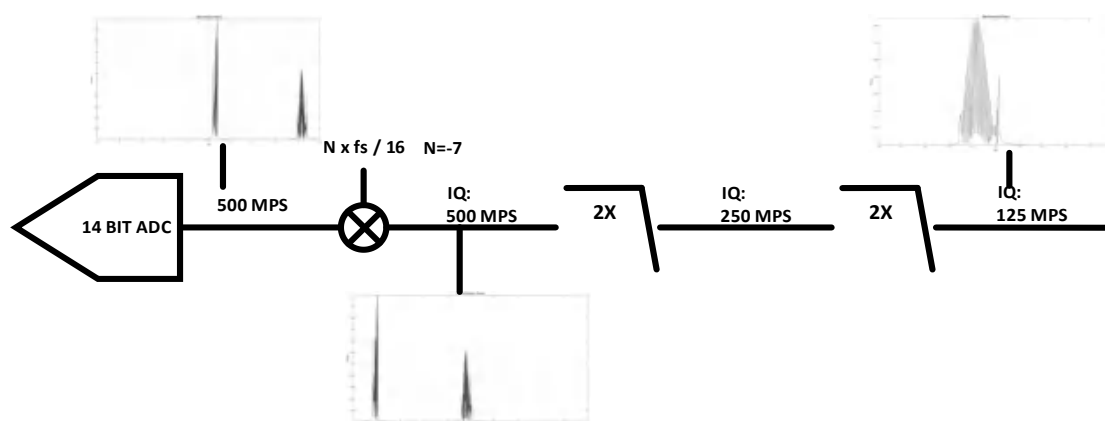


图 23 模式 6 工作原理图和输入输出频谱

模式 7

在这个配置方式下，数字下变频模块包括一个能够选择频带的 $N \times f_s/16$ 正交混频器（ N 取值范围为-8 到+7）。将整个频带划分为 16 个子带，正交混频器将在中心频率 $N \times f_s/16$ 附近处的子带进行 2 倍的下抽取，经过低通滤波器，复数通带内有 $\pm 55\text{MHz}$ 带宽。低通滤波器的阻带衰减近似 90dB。在模式 7 的情况下，在输出存在 $f_s/8$ 正交移频模块，将数字下变频后的频谱搬移到 Nyquist 频带范围内，插值补零，单通道输出。

如图 24 中所示表述数字下变频在模式 7 下滤波器前的输入信号的频谱，如图 24 中所示表述数字下变频在模式 7 下经过 2 倍下变频低通滤波后移频补零的输出信号的频谱。图 20，图 21 表述两级 2 倍下变频低通滤波后的频率响应特性。

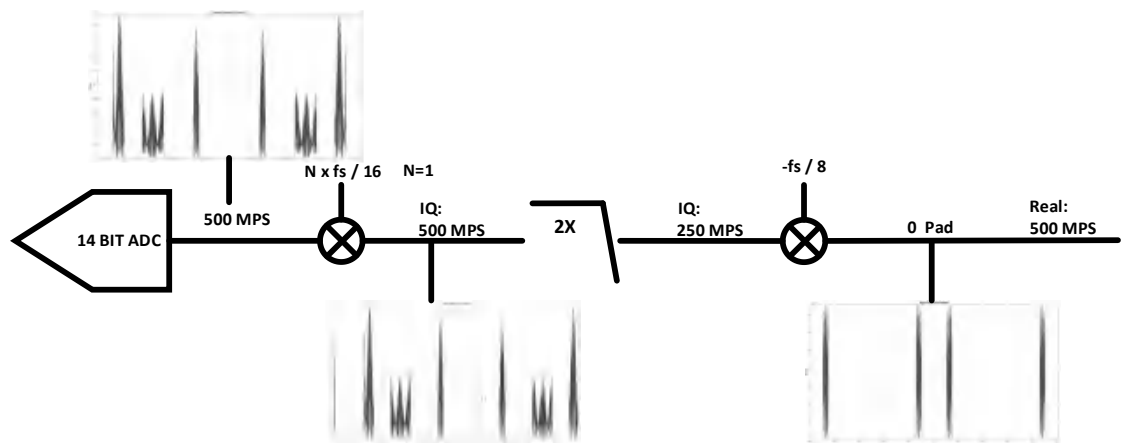


图 24 模式 7 工作原理图和输入输出频谱

模式 8

在这个配置下，数字下变频模块被旁路处理，在这个模式下，每个通道的采样率为 500MSPS，输入实数通道带宽为 250M。

KHW14B500-4GX 寄存器说明

表 9 KHW14B500-4GX 寄存器说明

地址 (十六进制)	名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认	备注
通用寄存器：											
0x00 00	RESET_SOFT	复位 1'b1 有效	复位 1'b1 有效	复位		通道 D 复位 1'b1 有效	通道 C 复位 1'b1 有效	通道 B 复位 1'b1 有效	通道 A 复位 1'b1 有效	0x00	须将 bit7-6 写入 2'b11 复位才有效，所有 bit 自清零
0x00 18	INBUFFER	0	0	0	0	0	设置输入 buffer 功耗，以调节输入信号带宽。最小带宽对应 0x7，最大带宽对应 0x0。			0x05	。
0x00 26	VREF	0	0	0	0	0	0	设置输入信号摆幅 0x10：vpp = 2V 0x01：vpp = 1.8V 0x00：vpp = 1.6V		0x10	
0x00 17	DIS_BROADCAST	0	0	0	0	0	0	0	DIS_BROADCAST	0x01	
0x00 07	FOVR_limit	0	0	0	FOVR_limit[12:8]					0x1C	
0x00 08	FOVR_limit	FOVR_limit[7:0]								0x85	

0x0009	CONV_EN_conv	0	0	0	0	0	0	0	CONV_EN_conv	0x01	
0x000A	CONV_EN_pkg	0	0	0	0	0	0	0	CONV_EN_pkg	0x00	
0x000B	PDN	0	0	0	0	PDN[3:0]				0x00	
Analog 寄存器:											
0x0018	BUF_BIAS_C	0	0	0	0	0	BUF_BIAS_C[2:0]			0x05	
0x0023	PDN_analog	0	0	PDN_analog[5:0]						0x00	
0x002A	VR_SEL	0	0	0	0	0	VR_SEL[2:0]			0x10	
0x002B	MCLK_TOG	0	0	0	0	0	0	0	MCLK_TOG	0x00	
0x002C	SYSREF_TOG	0	0	0	0	0	0	0	SYSREF_TOG	0x00	
0x002D	Calibration_Enable	0	0	0	0	0	0	0	Calibration_Enable	0x00	
0x002E	ADC_Offset	ADC_Offset[7:0]								0x00	
		ADC_Offset[15:8]								0x08	
DDC 寄存器:											
0x0001	TB_EN	0	0	0	0	0	0	0	TB_EN	0x00	
0x0002	TB_MODEL	0	0	0	0	TB_MODEL[3:0]				0x00	
0x0003	D_custom	D_custom[13:6]								0xaa	
0x0004	D_custom	0	0	D_custom[5:0]						0x2a	
0x0012	CHAB_FINE_MIX	0	0	0	0	0	0	0	0	0x00	
0x0013	CHCD_FINE_MIX	0	0	0	0	0	0	0	0	0x00	
0x0014	CHAB_DC_MODE	0	0	0	0	设置	模式	描述		0x08	
						0x0	0	fs/4 混频, 二倍下变频 低通复数输出			

						0x1	1	-fs/4 混频，二倍下变频 低通复数输出		
						0x2	2	二倍下变频低通实数输出		
						0x3	3	二倍下变频高通实数输出		
						0x4	4	二倍下变频低通， Nxfs/16 正交混频实数输出		
						0x5	5	二倍下变频低通， Nxfs/16 正交混频复数输出		
						0x6	6	四倍下变频低通， Nxfs/16 正交混频复数输出		
						0x7	7	二倍下变频低通， Nxfs/16 正交混频，补零，实数输出		
						0x8	8	ADC 直接输出		
0x00 15	CHCD_DC_MODE					设置	模式	描述		
						0x0	0	fs/4 混频，二倍下变频 低通复数输出	0x08	
						0x1	1	-fs/4 混频，二倍下变频 低通复数输出		
						0x2	2	二倍下变频低通实数输出		
						0x3	3	二倍下变频高通实数输出		
						0x4	4	二倍下变频低通， Nxfs/16 正交混频实数输出		
						0x5	5	二倍下变频低通， Nxfs/16 正交混频复数输出		
						0x6	6	四倍下变频低通， Nxfs/16 正交混频复数输出		
						0x7	7	二倍下变频低通， Nxfs/16 正交混频，补零，实数输出		
						0x8	8	ADC 直接输出		

0x00 3B	LOW_T HR	0	0	高 6 位			0x00	输入数据超过这个阈值 FOV R （见图 25）为高	
		低 8 位					0x00		
0x00 3D	UPPER_ THR	0	0	高 6 位			0x3F		
		低 8 位					0xFF		
0x40 01	SW_A_C G	0	通道摆幅选择 0=650mV 1=700mV 2=750mV 3=800mV 4=850mV 5=900mV		通道选择信号	0	1'b1→发送使能	0x31	
0x40 02	EMPH_ A_CG	通道预加重选择 0=0dB 1=-1.5dB 2=-3.0dB 3=-3.5dB 4=-5.0dB 5=-5.5dB 6=-6.5dB 7=-7.0dB 8=-7.5dB 9=-8.5dB			输出阻抗			0x08	
0x40 03	SW_B_C G	0	通道摆幅选择 0=650mV 1=700mV 2=750mV 3=800mV 4=850mV 5=900mV		通道选择信号	0	1'b1→发送使能	0x31	
0x40 04	EMPH_ B_CG	通道预加重选择 0=0dB 1=-1.5dB 2=-3.0dB 3=-3.5dB 4=-5.0dB 5=-5.5dB 6=-6.5dB 7=-7.0dB 8=-7.5dB			输出阻抗			0x08	

		9=-8.5dB								
0x40 05	SW_C_C G	0	通道摆幅选择 0=650mV 1=700mV 2=750mV 3=800mV 4=850mV 5=900mV		通道选择信号	0	1'b1→发送 使能	0x31		
0x40 06	EMPH_ C_CG	通道预加重选择 0=0dB 1=-1.5dB 2=-3.0dB 3=-3.5dB 4=-5.0dB 5=-5.5dB 6=-6.5dB 7=-7.0dB 8=-7.5dB 9=-8.5dB			输出阻抗			0x08		
0x40 07	SW_D_ CG	0	通道摆幅选择 0=650mV 1=700mV 2=750mV 3=800mV 4=850mV 5=900mV		通道选择信号	0	1'b1→发送 使能	0x31		
0x40 08	EMPH_ D_CG	通道预加重选择 0=0dB 1=-1.5dB 2=-3.0dB 3=-3.5dB 4=-5.0dB 5=-5.5dB 6=-6.5dB 7=-7.0dB 8=-7.5dB 9=-8.5dB			输出阻抗			0x08		
0x40 09	JESD_A B_CG	1'b0→SY NC 信号 源为 AB 1'b1→SY NC 信号 源为 CD	1'b1→交 换 LANE0 与 LANE1	1'b1→关 闭一条 LANE	设置复帧长度			0x0F		
0x40 0A	JESD_A B_TB	0x0→正常 0x1→三角波 0x2→0xAA 0x3→PRBS15		1'b1→帧 与复帧替 换为同步 结束字符	1'b1→使 能 SCRAMBL E 模式	TXP, TXN 极性翻转互 换	翻转 SYNC 极 性	翻转 SYSREF 极 性	0x20	
0x40 0B	JESD_C D_CG	1'b0→SY NC 信号 源为 CD 1'b1→SY NC 信号 源为 AB	1'b1→交 换 LANE0 与 LANE1	1'b1→关 闭一条 LANE	设置复帧长度			0x0F		
0x40 0C	JESD_C D_TB	0x0→正常		1'b1→帧	1'b1→使	TXP, TXN 极性翻转互	翻转	翻转	0x20	

		0x1→三角波 0x2→0xAA 0x3→PRBS15		与复帧替 换为同步 结束字符	能 SCRAMBL E 模式	换		SYNC 极 性	SYSREF 极 性		
0x40 11	PLL_SW _EN	0	0					0	采样极性	0x01	
0x40 12	PLL_CG	死区调节		模拟测试端口选择		VCO 电流		CK 测试 使能	1'b1 关断 PLL	0x88	
0x40 13	PLL_DIV _CG	后级 0x0→1 分频 0x1→2 分频 0x2→4 分频 0x3→8 分频		前级 0x0→2 分频 0x1→4 分频 0x2→8 分频 0x3→16 分频 0x4→32 分频 0x5~0x7→1 分频		环路 0x0→20 分频 0x1→40 分频 0x2→64 分频 0x3→80 分频		锁定检测使 能	0x17		
0x40 14	PLL_PT_ CG	调节电荷泵电流值 0x0=20uA; 0x1=30uA; 0x2=40uA; 0x3=50uA; 0x4=60uA; 0x5=70uA; 0x6=80uA; 0x7=90uA; 0x8=100uA; 0x9=110uA; 0xA=120uA; 0xB=130uA; 0xC=140uA; 0xD=150uA; 0xE=160uA; 0xF=170uA;				选择 VCO 震荡频率. 0x0=3G~3.8G; 0x1=3.8G~4.5G; 0x2=4.5G~5.5G; 0x3=5.5G~6.2G		LPF 电阻阻值选择 0x0=1.5k; 0x1=3.0k; 0x2=4.5k; 0x3=6.0k		0x79	

FOVR

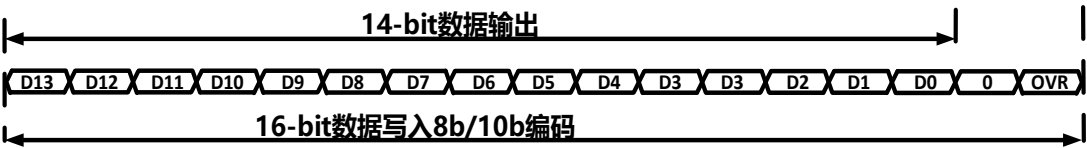


图 25 FOVR 数据结构

FD 快速门限检测 (FD_A,FD_B,FD_C,FD_D)

当输入信号的绝对值超过可编程的上阈值水平时，寄存器 0x0040 中的快速检测(FD)位立即设置。只有当输入信号的绝对值低于较低阈值水平且大于可编程驻留时间时，FD 位才被清除。该特性提供了迟滞，并防止 FD 位过度切换。

上阈值寄存器和下阈值寄存器的操作，以及驻留时间寄存器，如图 26 所示。

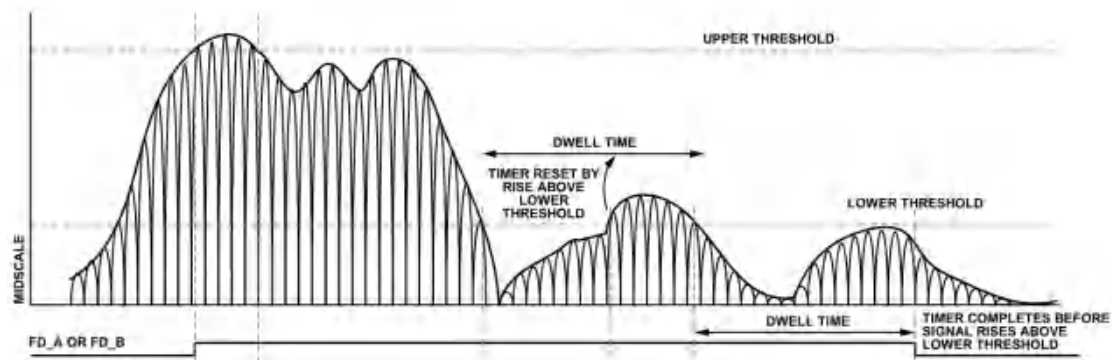


图 26 FD_A, FD_B 信号门限设置

如果输入幅度超过快速检测上阈值寄存器(位于寄存器 0x0247 和寄存器 0x0248)中编程的值，则会断言 FD 指示器。将选定的阈值寄存器与 ADC 输出端的信号幅值进行比较。快速上门限检测的最大延迟为 30 个时钟周期。

直到信号下降到程序驻留时间的下限阈值以下，FD 指示器才被清除。低阈值在快速检测低阈值寄存器中编程，位于寄存器 0x0249 和寄存器 0x024A。快速检测低阈值寄存器是一个 13 位寄存器，与 ADC 输出的信号幅值进行比较。

这种比较受 ADC 管道延迟的影响，但在转换器分辨率方面是准确的。

例如:设置上限阈值为-6 dBFS，则将 0xFFF 写入 Register 0x0247 和 Register 0x0248。设置的下限阈值-10 dBFS，写入 0xA1D 到 Register 0x0249 和 Register 0x024A。

通过在位于寄存器 0x024B 和寄存器 0x024C 的快速检测停顿时间寄存器中放置所需的值，可以将停顿时间编程为 1 到 65,535 个采样时钟周期。请参阅内存映射部分(寄存器 0x0040 和寄存器 0x0245 到在表 39 中注册 0x024C)以获取更多详细信息。

JESD204B 介绍

KHW14B500-4GX 支持 JESD204B 子类 1，每一个通道最大输出数据速率达到 15 Gbps。SYSREF 信号通过外部供给，它用于将所有内部时钟信号相位和 KHW14B500-4GX 的内部多帧时钟信号的相位对齐，并且与采样时钟边缘严格对齐。这个对齐的过程可以使多个不同系统中不同的设备的实现同步，并且使时序和对准的误差达到最小，图 27 显示了在 KHW14B500-4GX 内部的 JESD204B 模块图。KHW14B500-4GX 支持一个（对于所有的四个 JESD 链路）或两个（用于绑定信道 A、B 或信道 C、D）的 SYNCINB 同步输入，同时，他还可以通过 SPI 进行配置，如图 28。

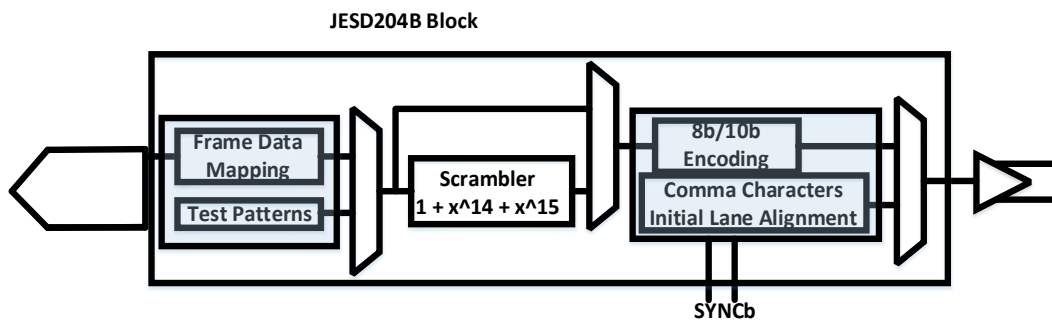


图 27 JESD 模块结构

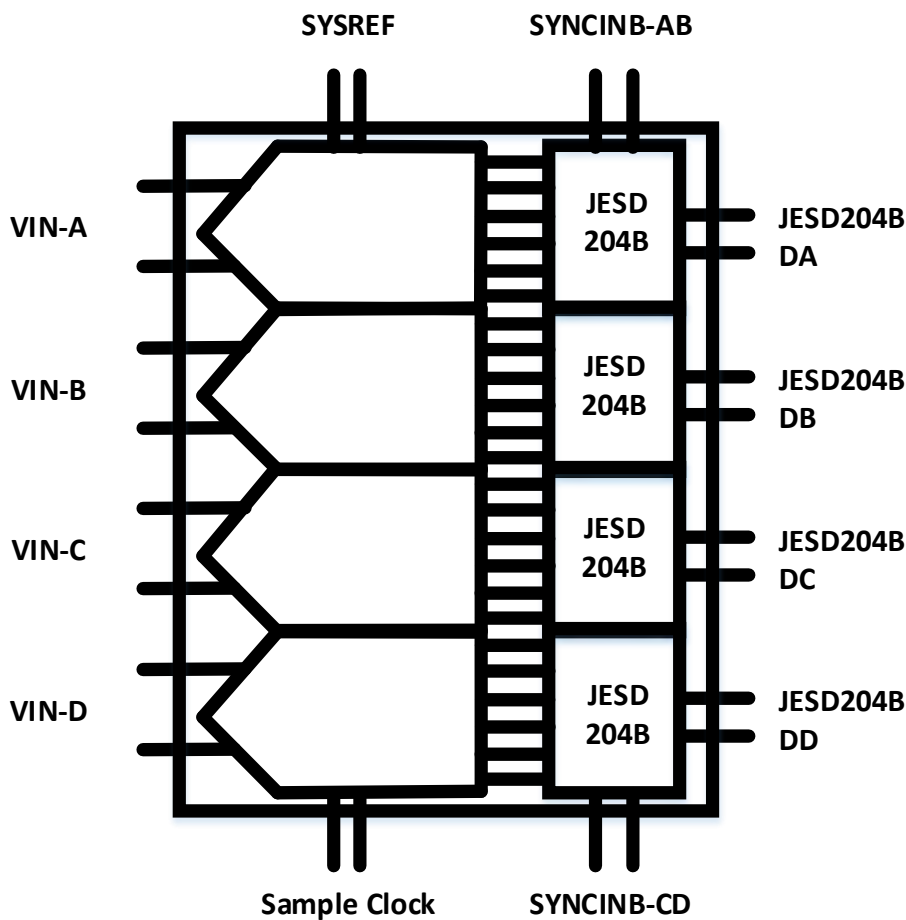


图 28 JESD 发射器模块

JESD204B 输出可以根据 ADC 采样率，以每通道配置一个通道(LANE)。

KHW14B500-4GX 通过 SPI 接口配置 JESD204B 的初始化参数及帧装配参数。

JESD204B 发射机包括传输层、数据加扰器和链路层。传输层的功能是将 ADC 输出数据映射到所选择的 JESD204B 帧格式进行组帧，并控制 ADC 输出数据是否传输。链路层通过 SYNCINB 同步输入信号来同步和初始通道对准，并进行 8B/10B 数据编码。能够对来自传输层的数据进行加扰。

JESD204B 初始通道对齐过程 (ILA)

初始通道对齐过程开始于接收设备信号 SYNCINB 的拉高。当检测到 SYNCINB 引脚拉低，KHW14B500-4GX 开始发送 (K28.5) 字符以建立代码组同步，如图 29 所示。

当完成同步后，接收设备拉低 SYNCINB 信号，KHW14B500-4GX 开始与下一个本地多帧时钟边界对齐，同时初始通道对齐序列。KHW14B500-4GX 可以传输四个多帧，每个帧包含 K 帧。每个多帧包含帧起始位置和结束标识符号，第二个多帧还包含 JESD204 链路配置数据。

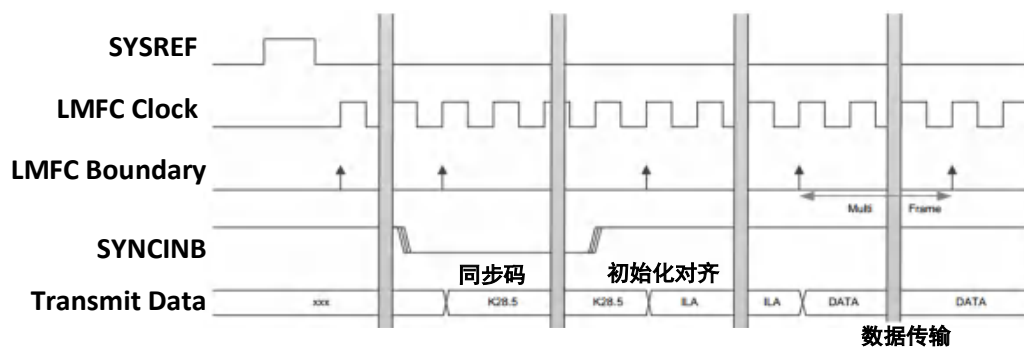


图 29 ILA 顺序

JESD204B 框架

JESD204B 标准定义的参数

- L 表示每个链路的通道数
- M 表示每个设备的转换器的数目
- F 表示每个帧时钟周期的字节个数
- S 表示每帧的样本个数
- 表 10 罗列了可用的 JESD204B 格式与 KHW14B500-4GX 每种模式对应关系，

它受到 Serdes 速率和最大模数转换器采样率限制

- 表 10 JESD204B 格式和速率范围

L	M	F	S	模式	抽取	输出格式	JESD 模式	PLL 模式	ADC 最大输出速率(MSPS)	MAX f _{SERDES} (Gbps)
4	8	4	1	0,1,5,9	2	复数	40x	40x	250	10.0
4	4	2	1	2,3,4	2	实数	20x	20x	250	5.0
2	4	4	1	2,3,4	2	实数	40x	40x	250	10.0
4	8	4	1	6	4	复数	40x	20x	125	5.0
2	8	8	1	6	4	复数	80x	40x	125	10.0
4	4	2	1	7	2 补 0	实数	20x	40x	500	10.0
4	4	2	1	8	-	实数	20x	40x	500	10.0

-
- 帧结构如表 11:
- 表 11 JESD 帧结构

	LMFS = 4841			
DA	AIO[15:8]	AIO[7:0]	AQO[15:8]	AQO[7:0]
DB	BIO[15:8]	BIO[7:0]	BQO[15:8]	BQO[7:0]
DC	CIO[15:8]	CIO[7:0]	CQO[15:8]	CQO[7:0]
DD	DIO[15:8]	DIO[7:0]	DQO[15:8]	DQO[7:0]
	LMFS = 4421			
DA	A0[15:8]	A0[7:0]	A1[15:8]	A1[7:0]
DB	B0[15:8]	B0[7:0]	B1[15:8]	B1[7:0]
DC	C0[15:8]	C0[7:0]	C1[15:8]	C1[7:0]
DD	D0[15:8]	D0[7:0]	D1[15:8]	D1[7:0]
	LMFS = 4421(0-PAD)			
DA	A0[15:8]	A0[7:0]	0000	0000
DB	B0[15:8]	B0[7:0]	0000	0000
DC	C0[15:8]	C0[7:0]	0000	0000
DD	D0[15:8]	D0[7:0]	0000	0000
	LMFS = 2441			

DB	A0[15:8]		A0[7:0]		B0[15:8]		B0[7:0]	
DC	C0[15:8]		C0[7:0]		D0[15:8]		D0[7:0]	
LMFS = 2881								
DB	AI0[15:8]	AI0[7:0]	AQ0[15:8]	AQ0[7:0]	BI0[15:8]	BI0[7:0]	BQ0[15:8]	BQ0[7:0]
DC	CI0[15:8]	CI0[7:0]	CQ0[15:8]	CQ0[7:0]	DI0[15:8]	DI0[7:0]	DQ0[15:8]	DQ0[7:0]

Serdes 发射端接口

每一通道的 10Gbps 的传输器都需要在传输器和接收器之间进行 AC 耦合。差分传输线必须在接近接收器端口有一个 100 欧的电阻负载进行端接，以用来减少信号反射以及衰减，如图 30 所示

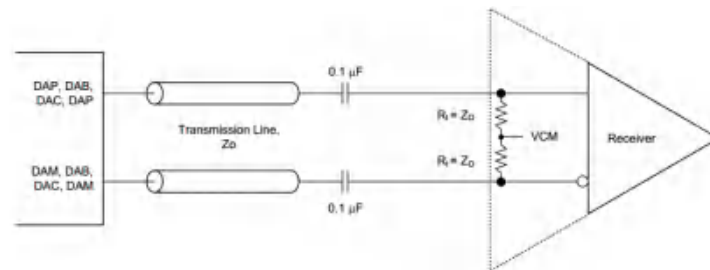


图 30 SERDES 发送端连接到接收端

SYNCINB 接口

KHW14B500-4GX 支持单个 SYNCINB 控制所有四个 JESD204B 链路或双 SYNCINB 控制，即一个 SYNCINB 控制两个 JESD204B 通道（VIN-A 和 VIN-B 或者 VIN-C 和 VIN-D）。当使用单同步控制模式时，将未使用的输入连接到差分逻辑低电平即（SYNCINB+XX=0V, SYNCINB-XX= IOVDD）。

系统设计和 PCB 设计建议

系统设计

KHW14B500-4GX 主要应用于宽带模数转换的场合，它可以在很宽的频率范围内提供非常好的动态性能。一个非常典型的应用电路如下图所示。这个电路中，输出部分为交流耦合。数据接收部分由两个 FPGA 组成。

ADC 的模拟输入端采用了放大器来驱动，在很多场合也可以使用变压器来驱动 ADC。这两种驱动方式都可以在很宽的频率范围内获得很好的性能。由于 ADC 芯片内，输入端采用了缓冲器，片内的采样电路的开关电流串扰就被很好的隔离在了片内，不会影响到片外的模拟输入端所连接的信号源。

如果想要得到最好的性能，ADC 的模拟输入端的驱动就要非常小心。电路结构提高了系统的共模噪声抑制能力，并且消除了偶次谐波。而串联在每个模拟输入端的小电阻（5 欧姆到 10 欧姆之间）则可以减弱封装寄生导致的震荡。

关于不同电源的上电顺序，KHW14B500-4GX 需要 3.3V、2.5V 和 1.2V 的电源。本器件不需要特别的上电顺序，也就是说，这三种电源可以以任意顺序上电。

PCB 板设计

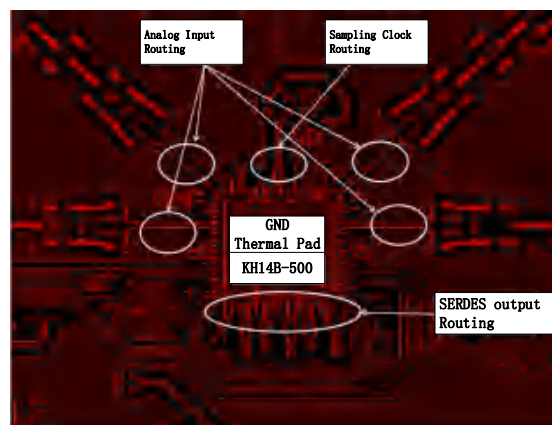


图 31 KHW14B500-4GX 评估板版图（待替换）

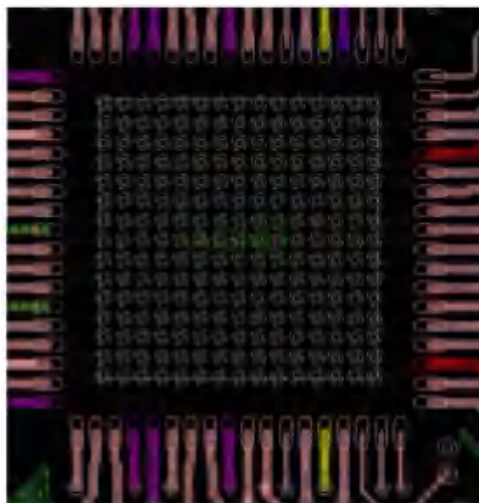


图 32 推荐使用的 KHW14B500-4GX 热 PAD 的 PCB 版图设计

KHW14B500-4GX 提供的评估板的 PCB 版图设计可以为用户提供板级设计参考，以取得最佳性能。PCB 板设计的顶层设计如

图 31 所示。而在热 PAD 的设计中，散热孔的设计是非常关键的，请参照图 32 所示。

封装

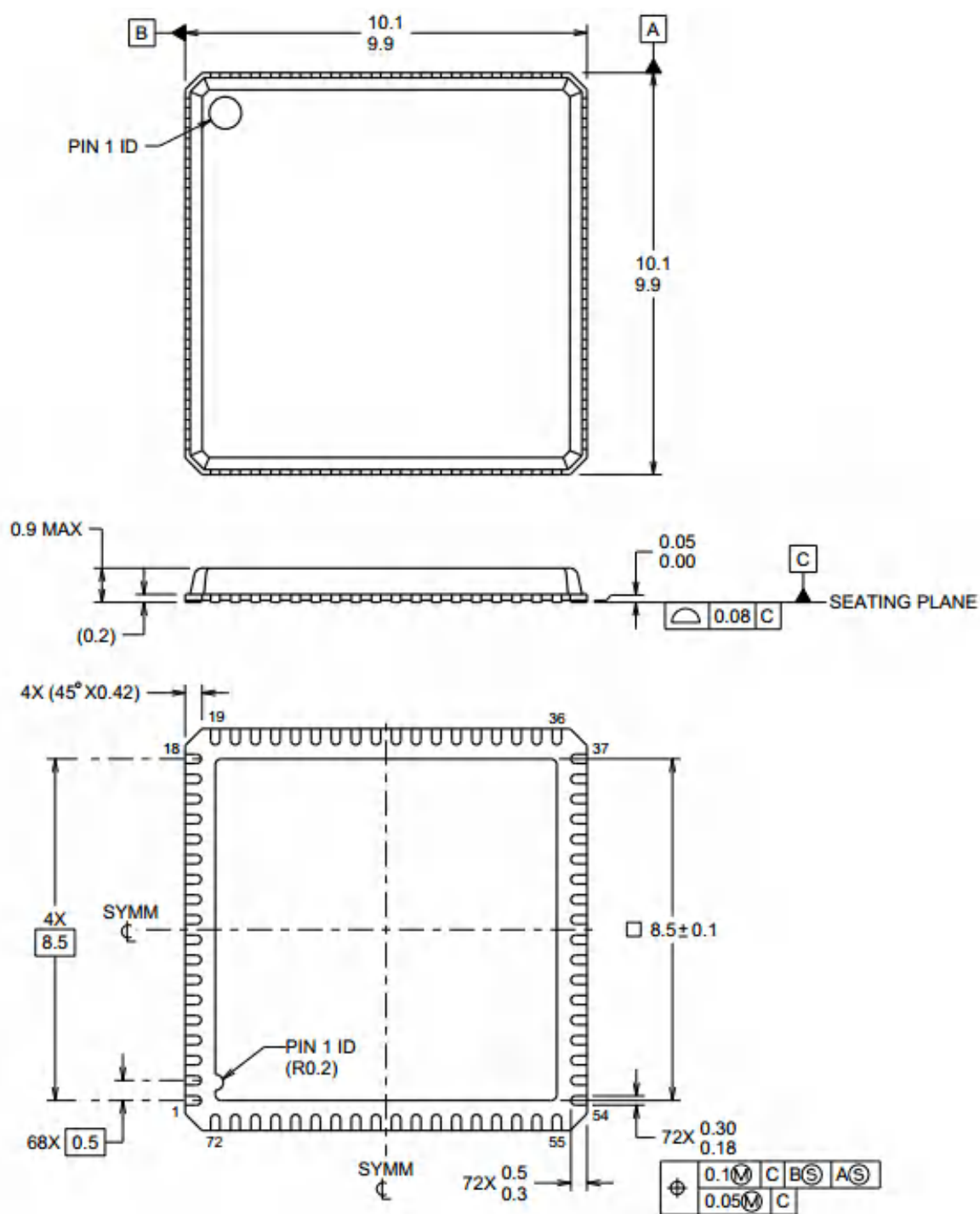


图 33 封装图 1

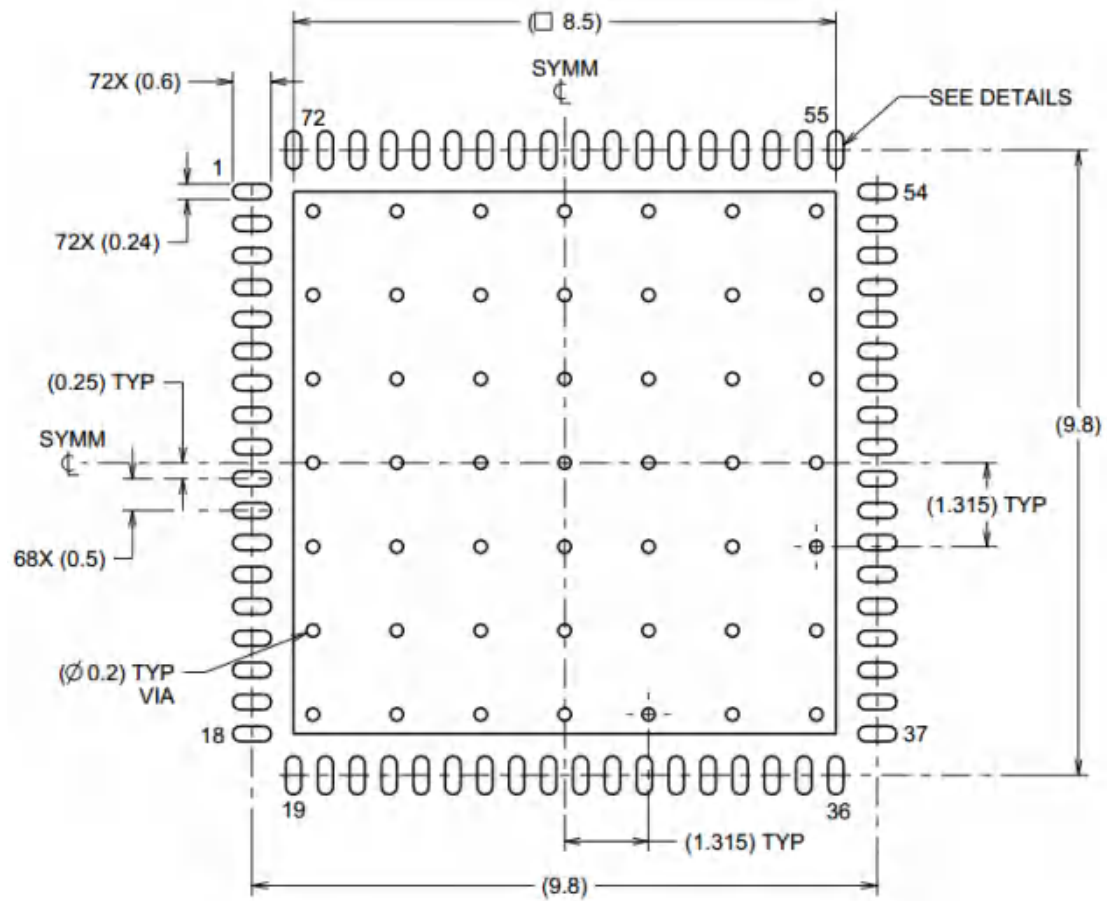


图 34 封装图 2

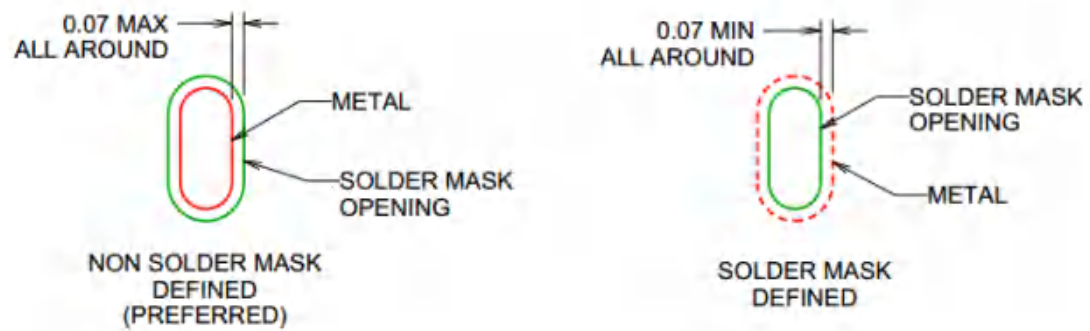


图 35 封装图 3

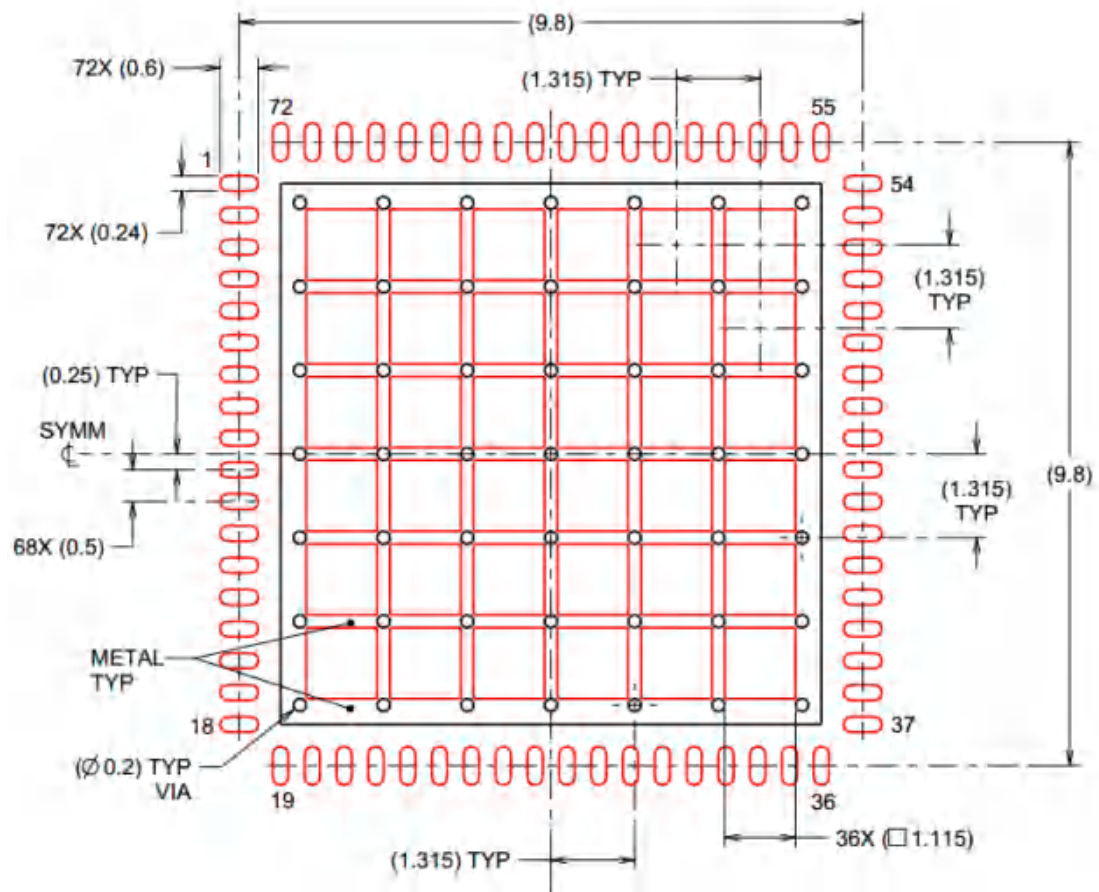


图 36 封装图 4