

DATA SHEET

数据手册

KHW14B125-4GX

四通道14位125MSPS 模数转换器

KHW14B125-4GX 产品手册

V 3.5

主要特征

- 本产品 pin-to-pin 兼容 AD9253
- 1.8V 电源供电
- 14 位分辨率
- 最大转换率：125MSPS
- 最小转换率：10MSPS
- 四通道 ADC
- 串行低压差分信令(LVDS) 接口
- 48 引脚超薄型四方扁平无引线(VQFN) 封装 (7mm× 7mm)
- 功耗：120mW/通道
- 带宽：650MHz
- 2V_{pp} 输入电压范围
- SNR = 74.4 dBFS (70 MHz, 2.0V_{pp} 输入范围)
- SFDR = 92 dBFS (70 MHz, 2.0V_{pp} 输入范围)
- 工作温度范围:零下 55 摄氏度到 150 摄氏度

应用

- 医疗超声
- 高速成像
- 正交无线电接收机
- 分集无线电接收机
- 测试设备

表 1 本产品和 ADI 公司 AD9253 性能比较

	SNR	SFDR	ENOB	带宽	功耗
本产品	74.4dBFS	92dBFS	12.0 bit	650M	120mW
AD9253	74.2dBFS	90dBFS	12.0 bit	650M	110mW

注：测试条件为 2V_{vpp}, 70M 输入，125M 时钟。

产品描述

KHW14B125-4GX 是一款 14 位四通道采样模数转换(ADC)，专门针对高性能、低功耗和易用性进行了优化。该产品的转换速率最高可达 125 MSPS，具有杰出的动态性能，适合宽带载波和宽带系统

使用。芯片上集成了全部必需功能，包括采样保持(T/H)与基准电压源，可提供完整的信号转换解决方案。

KHW14B125-4GX 采用先进的 CMOS 工艺制造，提供 48 引脚 VQFN 封装，额定温度范围为-55° C 至 +150° C 温度范围。

功能模块框图

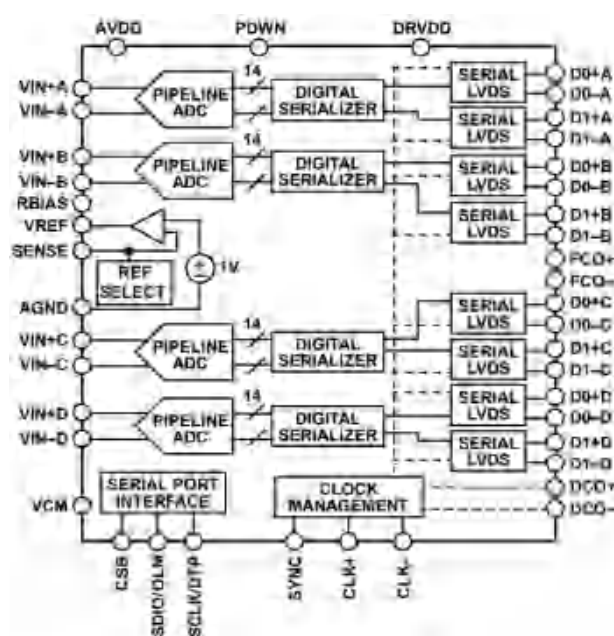


图 1 功能模块框图

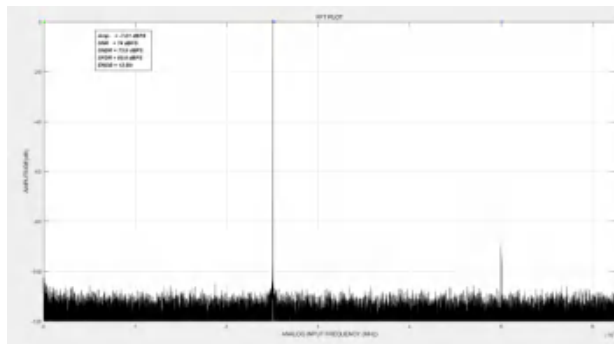


图 2 典型 FFT 测试图

本产品突出性能特点

1. 高性能：在输入频率 70M，采样频率 125M 时信噪比为 74.4dbFS。
2. 低功耗：在 125M 采样率时功耗仅为每通道 120mW。
3. 易于使用：LVDS 数据输出，而且便于和 FPGA 配合使用。片上参考和采样保持电路给系统设计带来了很高的灵活性。
4. 串口控制：标准的串行接口可以支持芯片的各种功能设置，像数据格式控制、时钟占空比控制、电源关断、增益调节和输出测试模式产生等等。
5. 管脚兼容：本产品脚对脚兼容 AD9653（16 位）、AD9253（14 位）、AD9633（12 位）

管脚分布和功能描述

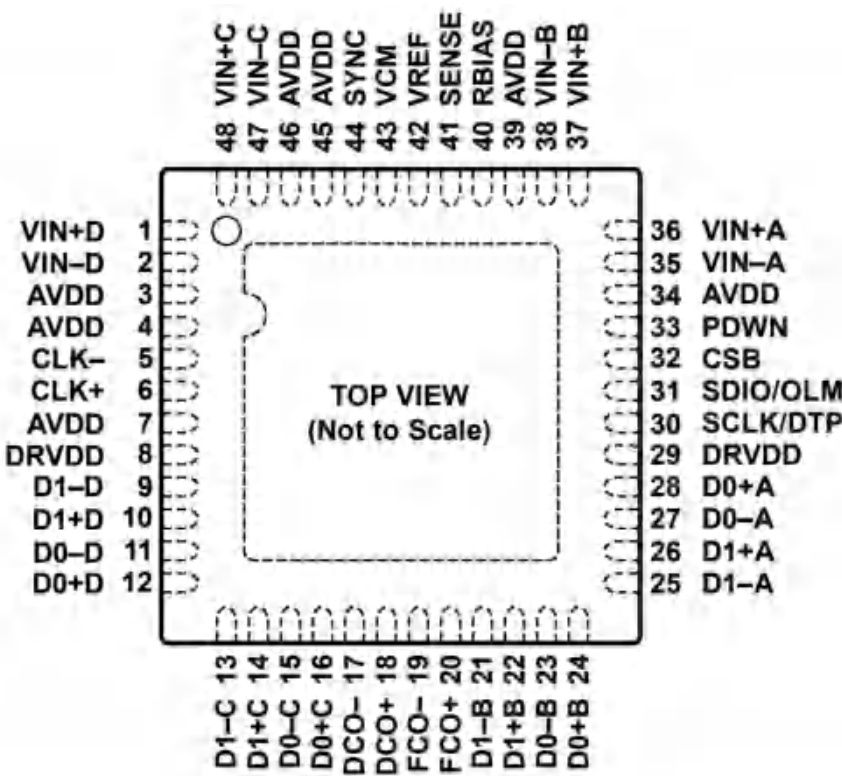


图 3 管脚分布

表 2 管脚功能描述

管脚序号	输入/输出	管脚名称	描述
0	输入	AGND	模拟地，裸漏焊盘。
1	输入	VIN+D	通道 D 的差分输入正端
2	输入	VIN-D	通道 D 的差分输入负端
3,4,7,34,39,45,46	输入	AVDD	1.8V 模拟电源
5,6	输入	CLK-,CLK+	差分输入时钟。PECL、LVDS 或 1.8V CMOS 输入
8,29	输入	DRVDD	数字输出驱动器电源
9,10	输出	D1-D,D1+D	通道 D 数字输出（采用单通道模式时，此管脚禁用）
11,12	输出	D0-D,D0+D	通道 D 数字输出（采用单通道模式时，此管脚禁用）
13,14	输出	D1-C,D1+C	通道 C 数字输出（采用单通道模式时，此管脚为 D 通道数字输出）
15,16	输出	D0-C,D0+C	通道 C 数字输出
17,18	输出	DCO-,DCO+	数据时钟输出
19,20	输出	FCO-,FCO+	帧时钟输出
21,22	输出	D1-B,D1+B	通道 B 数字输出
23,24	输出	D0-B,D0+B	通道 B 数字输出（采用单通道模式时，此管脚为 A 通道数字输出）
25,26	输出	D1-A,D1+A	通道 A 数字输出（采用单通道模式时，此管脚禁用）

四通道14位125MSPS 模数转换器

KHW14B125-4GX

27,28	输出	D0-A,D0+A	通道 A 数字输出（采用单通道模式时，此管脚禁用）
30	输入	SCLK/DTP	SPI 时钟输入/数字测试码
31	输入/输出	SDIO/OLM	SPI 数据输入和输出（双向 SPI 数据）/输出通道模式
32	输入	CSB	SPI 片选信号。低电平有效使能；内置 30K 欧姆上拉电阻
33	输入	PDWN	数字输入，30K 欧姆内部下拉电阻 PDWN 高电平=关断器件 PDWN 低电平=运行器件，正常工作
35	输入	VIN-A	通道 A 的差分输入负端
36	输入	VIN+A	通道 A 的差分输入正端
37	输入	VIN+B	通道 B 的差分输入正端
38	输入	VIN-B	通道 B 的差分输入负端
40	输出	RBIAS	设置模拟电流偏置。连接到接地 10K 欧姆（1%容差）电阻
41	输入	SENSE	基准电压模式选择
42	输入/输出	VREF	基准电压输入和输出引脚
43	输出	VCM	模拟输入共模电压
44	输入	SYNC	数字输入。时钟分频器的 SYNC 输入
47	输入	VIN-C	通道 C 的差分输入负端
48	输入	VIN+C	通道 C 的差分输入正端

直流规格

表 3 直流规格

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V，-1.0 dBFS 时满量程差分输入为 2.0Vp-p；VREF = 1.0 V，DCS 关。

参数	最小值	典型值	最大值	单位
分辨率		14		位
时钟输入	10		1000	MHz
转换速率	10		125	MHz
模拟输入带宽(2V 输入)		650		MHz
模拟差分输入范围（差分峰峰值）		2		伏
模拟输入共模	0.6	0.9	1.3	伏
差分输入电阻		2.6		K 欧姆
差分输入电容		7		pF
DNL			±0.5	LSB
INL			±6	LSB
失调误差		-0.42		%FS
增益误差		-7		%FS
AVDD 电源电压	1.7	1.8	1.9	伏

四通道14位125MSPS 模数转换器

KHW14B125-4GX

DRVDD 电源电压	1.7	1.8	1.9	伏
IAVDD 模拟电源电流值		400		毫安
IDRVDD 数字电源电流值		120		毫安
功耗（每通道）		120		毫瓦

表 4 绝对最大额定值

		最小值	最大值	单位
电源电压	AVDD	-0.3	2.0	伏
	DRVDDD	-0.3	2.0	
输入端电压	模拟输入端电压	-0.3	2.0	
	时钟输入端电压	-0.3	2.0	
	RBIAS、VREF、SENSE	-0.3	2.0	
	SCLK/DTP、SDIO/OLM、CSB、SYNC、PDWN	-0.3	2.0	
数字输出电压	D0±x、D1±x、DCO+、DCO-、FCO+、FCO-	-0.3	2.0	
温度范围	工作温度范围	-55	150	摄氏度
	最高结温		150	
	引脚温度		300	
	储存温度范围	-65	150	

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

交流规格

表 5 交流规格

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V，-1.0 dBFS 时满量程差分输入为 2.0Vpp；VREF = 1.0 V，DCS 关。

参数		最小值	典型值	最大值	单位
信噪比 (SNR)	f _{IN} =10MHz		75.7		dBFS
	f _{IN} =70MHz		74.4		dBFS
	f _{IN} =200MHz		73.8		dBFS
信号与噪声 谐波比 (SNDR)	f _{IN} =10MHz		75.6		dBFS
	f _{IN} =70MHz		74.3		dBFS
	f _{IN} =200MHz		73		dBFS
有效位 (ENOB)	f _{IN} =10MHz		12.3		位
	f _{IN} =70MHz		12.0		位
	f _{IN} =200MHz		11.8		位

四通道14位125MSPS 模数转换器

KHW14B125-4GX

无杂散动态范围 (SFDR)	$f_{IN}=10\text{MHz}$		95		dBFS
	$f_{IN}=70\text{MHz}$		92		dBFS
	$f_{IN}=200\text{MHz}$		81		dBFS
模拟带宽			650		MHz
电源抑制比	50-mVpp, 加到 AVDD 端, 10M 以内	40			dB
通道隔离度	150M 满量程输入对另一通道		105		dB

数字特性

表 6 数字特性

参数	测试条件	最小值	典型值	最大值	单位
数字输入 (SCLK/DTP、SDIO/OLM、CSB、SYNC、PDWN)					
V_{IH} , 高电平输入电压		1.3			V
V_{IL} , 低电平输入电压				0.4	V
I_{IH} , 高电平输入电流	$V_{HIGH}=1.8\text{V}$		10		μA
I_{IL} , 低电平输入电流	$V_{LOW}=0\text{V}$		0		μA
LVDS 数字输出					
V_{ODH} , 高电平输出差分电压	外部端接 $100\ \Omega$	250	350	500	mV
V_{ODL} , 低电平输出差分电压	外部端接 $100\ \Omega$	-500	-350	-250	mV
V_{OCM} , 输出共模电压			1.05		V

输出数据格式

本产品输出数据格式为二进制补码输出模式和偏移二进制输出模式 (offset binary fomt)，默认模式为二进制补码输出模式。下表给出了一个输出编码格式示例。

表 7 数字输出编码

输入 (V)	条件 (V)	偏移二进制输出模式	二进制补码模式
$V_{IN+} - V_{IN-}$	$< -V_{REF} - 0.5\text{LSB}$	0000 0000 0000 0000	1000 0000 0000 0000
$V_{IN+} - V_{IN-}$	$-V_{REF}$	0000 0000 0000 0000	1000 0000 0000 0000
$V_{IN+} - V_{IN-}$	0V	1000 0000 0000 0000	0000 0000 0000 0000
$V_{IN+} - V_{IN-}$	$+V_{REF} - 1.0\text{LSB}$	1111 1111 1111 1111	0111 1111 1111 1111
$V_{IN+} - V_{IN-}$	$> +V_{REF} - 0.5\text{LSB}$	1111 1111 1111 1111	0111 1111 1111 1111

静电防护

表 8 ESD 等级

		最大值	单位
V _(ESD) Electrostatic discharge	HBM, MIL-STD-883K / Method 3015.9	± 2500	V
V _(ESD) Electrostatic discharge	CDM, ESDA/JEDEC JS-002-2018	± 1000	V

ESD 警告

	ESD(静电放电)敏感器件。 带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。
--	--

存储器映射（Memory Map）

表 9 寄存器列表

本产品使用 3 线式接口和 16 位寻址，请参见 ADI 应用笔记 AN-877 “通过 SPI 与高速 ADC 接口”。

地址 (十六进制)	参数名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值 (十六进制)	注释
芯片配置寄存器											
0x00	SPI 端口配置	0 = SDO 有效	LSB 优先	软复位	1 = 16 位地址	1 = 16 位地址	软复位	LSB 优先	0 = SDO 有效	0x18	半字节之间是镜像关系,使得 LSB 优先或 MSB 优先模式寄存器均能正确记录数据。 ADC 的默认值为 16 位模式。
0x01	芯片 ID(全局)	8 位芯片 ID, 位[7:0] 本产品 0x8F = 四通道、16 位、125 MSPS 串行 LVDS								0x8F	唯一芯片 ID, 用来区分器件; 只

四通道14位125MSPS 模数转换器

KHW14B125-4GX

											读。
0x02	芯片等级(全局)	禁用	速度等级 ID[6:4] 110 = 125 MSPS		禁用	禁用	禁用	禁用			唯一速度等 级 ID，用来区分器 件等级；只读。
器件索引和传送寄存器											
0x05	器件索引	禁用	禁用	时钟通 道 DCO	时钟通道 FCO	数据通道 D	数据通道 C	数据通 道 B	数据通道 A	0x3F	设置这些位 ，以 决定片内哪个器 件接收下一个写 命令。默认为片 内所有器件。
0xFF	传输	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动覆盖	0x00	设置采样速率覆 盖。
全局 ADC 功能寄存器											
0x08	功耗模式(全局)	禁用	禁用	外部掉 电引脚 功能 0 = 完全 掉电 1 = 待机	禁用	禁用	禁用	功耗模式 00 = 芯片运行 01 = 完全掉电 10 = 待机 11 = 复位		0x00	决定芯片的一般 工作模式。
0x09	时钟(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳 定 0 = 开 1= 关	0x01	打开或关闭占空 比稳定器。
0x0B	时钟分频(全局)	禁用	禁用	禁用	禁用	禁用	时钟分频[2:0] 000 = 1 分频 001 = 2 分频 010 = 3 分频 011 = 4 分频 100 = 5 分频 101 = 6 分频 110 = 7 分频 111 = 8 分频			0x00	
0x0C	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	0x00	
0x0D	测试模式 (局部，PN 序列 复位除外)	用户输入测试模式 00 = 单一 01 = 交替 10 = 单一一次 11 = 交替一次 (仅影响用户输入测试模 式，位[3:0] = 1000)		产生复 位 PN 长序列	产生复位 PN 短序列	输出测试模式[3:0](局部) 0000 = 关(默认) 0001 = 中间电平短序列 0010 = 正 FS 0011 = 负 FS 0100 = 交替棋盘形式 0101 = PN 23 序列 0110 = PN 9 序列 0111 = 1/0 字反转 1000 = 用户输入				0x00	置 1 时，测试数 据将取代正常数 据被置于输出引 脚上。

四通道14位125MSPS 模数转换器

KHW14B125-4GX

					1001 = 1/0 位反转 1010 = 1×同步 1011 = 1 位高电平 1100 = 混合位频率						
0x10	失调调整(局部)	8 位器件失调调整, 位[7:0](局部) 失调调整以 LSB 为单位, 从+127 到-128(二进制补码格式)								0x00	器件失调调整。
0x14	输出模式	禁用	LVDS-ANSI/ LVDS-IEEE 选项 0 = LVDS-ANSI 1 = LVDS-IEEE 缩小范围链路(全局)	禁用	禁用	禁用	输出反向 (局部)	禁用	输出格式 0 = 偏移 二进制 1 = 二进制 补码 (全局)	0x01	配置输出和数据格式
0x15	输出调整	禁用	禁用	输出驱动器端接 [1:0] 00 = 无 01 = 200 10 = 100 11 = 100		禁用	禁用	禁用	输出驱动 0 = 1×驱动 1 = 2×驱动	0x00	决定 LVDS 或其它输出属性
0x16	输出相位	禁用	输入时钟相位调整[6:4] (值为相位延迟的输入时钟周期数) 见表 10			输出时钟相位调整[3:0] (0000 至 1011) 见表 11				0x03	在利用全局时钟分频的器件上, 决定使用分频器输出的哪个相位提供输出时钟。内部锁存不受影响。
0x18	VREF	禁用	禁用	禁用	禁用	禁用	VREF 调节 数字方案[2:0] 000 = 1.0 V p-p 001 = 1.14 V p-p 010 = 1.33 V p-p 011 = 1.6 V p-p 100 = 2.0 V p-p			0x04	选择内部 VREF。 显示值针对 VREF = 1.0 V。
0x19	USER_PATT1_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码 1 LSB。
0x1A	USER_PATT1_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码 1 MSB。
0x1B	USER_PATT2_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码 2 LSB。
0x1C	USER_PATT2_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码 2 MSB。

四通道14位125MSPS 模数转换器

KHW14B125-4GX

0x21	串行输出数据控制(全局)	LVDS 输出 LSB 优先	SDR/DDR 单通道/双通道、逐位/逐字节[6:4] 000 = SDR 双通道、逐位 001 = SDR 双通道、逐字节 010 = DDR 双通道、逐位 011 = DDR 双通道、逐字节 100 = DDR 单通道、逐字			禁用	选择 2× 帧	串行输出位数 00 = 16 位 10 = 12 位		0x30	串行流控制。默认为 MSB 优先、原有位流。
0x22	串行通道状态(局部)	禁用	禁用	禁用	禁用	禁用	禁用	通道输出复位	通道掉电	0x00	用来关断转换器的各个部分
0x100	采样速率覆盖	禁用	采样速率覆盖使能	分辨率 01 = 14 位 10 = 12 位		禁用	采样速率 ff = 10 MSPS 000 = 20 MSPS 001 = 40 MSPS 010 = 50 MSPS 011 = 65 MSPS 100 = 80 MSPS 101 = 105 MSPS 110 = 125 MSPS			0x06	采样速率覆盖(需要传输寄存器, 0xFF)。
0x101		禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	0x00	
0x102		禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	0x00	
0x109	同步	禁用	禁用	禁用	禁用	禁用	禁用	禁用	使能同步	0x00	

注：本产品中的寄存器 0x100、0x0C、0x101、0x102、0x109 四个寄存器的设置和 AD9653 不同。

表 10 寄存器 0x16 输入时钟相位调整选项

输入时钟相位调整, 位[6:4]	相位延迟的输入时钟周期数
000 (默认)	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

表 11 寄存器 0x16 输出时钟相位调整选项

输出时钟(DCO), 相位调整, 位[3:0]	DCO 相位调节(相对于 D0±x/D1±x 边沿的度数)
0000 (默认)	0
0001	60

四通道14位125MSPS 模数转换器

KHW14B125-4GX

0010	120
0011	180
0100	240
0101	300
0110	360
0111	420
1000	480
1001	540
1010	600
1011	660

使用 SPI 时，DC0 相位可以相对于数据边沿以 60° 增量进行调整。这样，用户可以根据需要优化系统时序余量。DC0+和 DC0-默认时序相对于输出数据边沿为 90° 。

表 12 寄存器 0x21 的串行输出数据控制

寄存器 0x21 内容	选择的串行化选项			DC0 倍频器	时序图
	串行输出位数 (SONB)	帧模式	串行数据模式		
0x30	16 位	1×	DDR 双通道逐字节	4 × fs	图 5（默认配置）
0x20	16 位	1×	DDR 双通道逐位	4 × fs	图 5
0x10	16 位	1×	SDR 双通道逐字节	8 × fs	图 5
0x00	16 位	1×	SDR 双通道逐位	8 × fs	图 5
0x34	16 位	2×	DDR 双通道逐字节	4 × fs	图 7
0x24	16 位	2×	DDR 双通道逐位	4 × fs	图 7
0x14	16 位	2×	SDR 双通道逐字节	8 × fs	图 7
0x04	16 位	2×	SDR 双通道逐位	8 × fs	图 7
0x40	16 位	1×	DDR 单通道逐字节	8 × fs	图 9
0x32	12 位	1×	DDR 双通道逐字节	3 × fs	图 6
0x22	12 位	1×	DDR 双通道逐位	3 × fs	图 6
0x12	12 位	1×	SDR 双通道逐字节	6 × fs	图 6
0x02	12 位	1×	SDR 双通道逐位	6 × fs	图 6
0x36	12 位	2×	DDR 双通道逐字节	3 × fs	图 8
0x26	12 位	2×	DDR 双通道逐位	3 × fs	图 8
0x16	12 位	2×	SDR 双通道逐字节	6 × fs	图 8
0x06	12 位	2×	SDR 双通道逐位	6 × fs	图 8
0x42	12 位	1×	DDR 单通道逐字节	6 × fs	图 10

数字输出测试模式

输出测试选项见表 13 所示，由地址 0x0D 的输出测试模式位控制。当使能输出测试模式时，ADC 的模拟部

四通道14位125MSPS 模数转换器

KHW14B125-4GX

分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器 0x0D 的位 4 或位 5 置 1，可以将 PN 序列测试的 PN 发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参阅应用笔记 AN-877：“通过 SPI 与高速 ADC 接口”。

通过 SPI 可以启动的数字输出测试码选项有 12 个。当验证接收器捕捉和时序时，这个功能很有用。可用的输出位序列选项参见表 13。一些测试码有两个串行序列字，可以通过各种方式进行交替，具体取决于所选的测试码。注意，有些测试码可能并不遵守数据格式选择选项。此外，可以在 0x19、0x1A、0x1B 和 0x1C 寄存器地址中指定用户定义的测试码。

表 13 寄存器 0x21 的串行输出数据控制

输出测试模式位序列	测试码名称	数字输出字 1	数字输出字 2	接受数据格式选择	注释
0000	关闭(默认)	N/A	N/A	N/A	
0001	中间电平短码	1000 0000 0000 (12 位) 1000 0000 0000 0000 (16 位)	N/A	是	所示为偏移二进制码
0010	+满量程短码	1111 1111 1111 (12 位) 1111 1111 1111 1100 (16 位)	N/A	是	所示为偏移二进制码
0011	-满量程短码	0000 0000 0000 (12 位) 0000 0000 0000 0000 (16 位)	N/A	是	所示为偏移二进制码
0100	棋盘形式	1010 1010 1010 (12 位) 1010 1010 1010 1000 (16 位)	0101 0101 0101 (12 位) 0101 0101 0101 0100 (16 位)	否	
0101	PN 长序列	N/A	N/A	是	PN23 ITU 0.150 $X^{23}+X^{18}+1$
0110	PN 短序列	N/A	N/A	是	PN9 ITU 0.150 X^9+X^5+1
0111	1/0 字反转	111 1111 1111 (12 位) 111 1111 1111 1100 (16 位)	0000 0000 0000 (12 位) 0000 0000 0000 0000 (16 位)	否	
1000	用户输入	寄存器 0x19 至寄存器 0x1A	寄存器 0x1B 至寄存器 0x1C	否	
1001	1/0 位反转	1010 1010 1010 (12 位) 1010 1010 1010 1000 (16 位)	N/A	否	
1010	1×同步	0000 0011 1111 (12 位) 0000 0001 1111 1100 (16 位)	N/A	否	
1011	1 位高电平	1000 0000 0000 (12 位) 1000 0000 0000 0000 (16 位)	N/A	否	与外部引脚相关的测试码
1100	混合频率	1010 0011 0011 (12 位) 1010 0001 1001 1100 (16 位)	N/A	否	

PN 短序列测试码产生一个伪随机位序列，每隔 $2^9 - 1$ 或 511 位重复一次。有关 PN 序列的说明以及如何产

四通道14位125MSPS 模数转换器

KHW14B125-4GX

生，请参见 ITU-T 0.150 (05/96)标准的第 5.1 部分。种子值为全 1(初始值见表 14)。输出为串行 PN9 序列的并行表示(MSB 优先格式)。第一个输出字是 PN9 序列 MSB 对齐形式的前 14 位。

PN 长序列测试码产生一个伪随机位序列，每隔 $2^{23} - 1$ 或 8,388,607 位重复一次。有关 PN 序列的说明以及如何产生，请参见 ITU-T 0.150 (05/96)标准的第 5.6 部分。种子值为全 1(初始值见表 14)，本产品的位流与 ITU 标准相反。输出为串行 PN23 序列的并行表示(MSB 优先格式)。第一个输出字是 PN23 序列 MSB 对齐形式的前 14 位。

表 14 PN 序列

序列	初始值	前三个采样输出 (MSB 优先)二进制补码
PN 短序列	0x1FE0	0x1DF1, 0x3CC8, 0x294E
PN 长序列	0x1FFF	0x1FE0, 0x2001, 0x1C00

基准电压源 (V_{REF}) 配置

本产品内置稳定、精确的基准电压源。 V_{REF} 可以利用内部 1.0 V 基准电压或外部施加的 1.0 V 基准电压来配置，产生根据用户选择的基准电压。 V_{REF} 引脚应通过外部一个低 ESR 0.1 μF 陶瓷电容和一个低 ESR 1.0 μF 电容的并联组合旁路至地。本产品的内置比较器可检测出 SENSE 引脚的电压，从而将基准电压配置成两种可能的模式之一。

表 15 基准电压 (V_{REF}) 配置

所选模式	SENSE 电压 (V)	相应的 V_{REF} (V)	相应的差分范围 (V_{p-p})
固定内部基准电压	AGND 至 0.2	1.0, 内部	2.0
固定外部基准电压	AVDD	1.0, 施加于外部 V_{REF} 引脚 1	2.0

如果 SENSE 引脚接地，则基准放大器开关与内部电阻分压器相连，因而将 V_{REF} 引脚的电压 V_{REF} 设为 1.0 V。

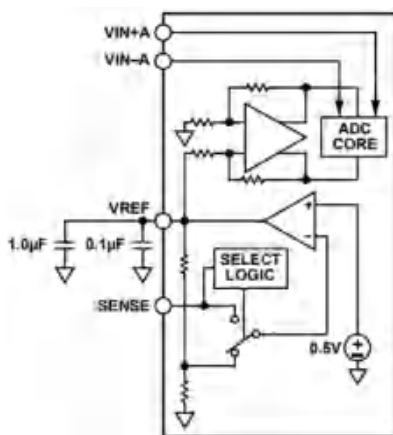


图 4 1.0 V 内部基准电压配置

采用外部基准电压有可能进一步提高 ADC 增益精度或改善热漂移特性。将 SENSE 引脚与 AVDD 相连时，可

以禁用内部基准电压源，从而允许使用外部基准电压源。内部基准电压缓冲器对外部基准电压源的负载相当于 7.5 k Ω 负载。内部缓冲器为 ADC 内核生成正、负满量程基准电压。
不建议悬空 SENSE 引脚。

不使用 SPI 的配置

在不使用 SPI 控制寄存器接口的应用中，SDIO/OLM 引脚、SCLK/DTP 引脚和 PDWN 引脚用作独立的 CMOS 兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制输出通道模式、数字测试码和断电特性。在此模式下，CSB 引脚应与 AVDD 相连，以禁用串行端口接口。
请注意，当 CSB 引脚连接 AVDD 时，本产品 DCS 默认开启，并且保持开启状态，直到器件进入 SPI 模式并通过 SPI 控制。有关 DCS 的更多信息，请参见“时钟占空比”部分。
当器件处于 SPI 模式时，PDWN 引脚(若使能)仍然有效。为通过 SPI 控制省电，应将 PDWN 引脚设为默认状态。

SDIO/OLM 引脚

对于不需要 SPI 工作模式的应用，CSB 引脚连接到 AVDD，SDIO/OLM 引脚依据表 16 控制输出通道模式。请注意，当 CSB 引脚连接 AVDD 时，本产品 DCS 默认开启，并且保持开启状态，直到器件进入 SPI 模式并通过 SPI 控制。有关 DCS 的更多信息，请参见“时钟占空比”部分。对于未使用 SDIO/OLM 引脚的应用，CSB 应连接 AVDD。使用单通道模式时，转换速率不超过 62.5 MSPS，满足 1 Gbps 的最大输出速率要求。

表 16 输出通道模式引脚设置

OLM 引脚电压	输出模式
AVDD (默认)	双通道。1x 帧, 16 位串行输出。
GND	单通道。1x 帧, 16 位串行输出。

SCLK/DTP 引脚

对于不需要 SPI 工作模式的应用，SCLK/DTP 引脚可用于选择数字测试码(DTP)。如果在器件上电期间此引脚和 CSB 引脚保持高电平，则它可以使能一个数字测试码。当 SCLK/DTP 连接到 AVDD 时，ADC 通道输出移出以下测试码：1000 0000 0000 0000。FCO 和 DCO 正常工作，同时所有通道移出重复测试码。利用此测试码，用户可以对 FCO、DCO 和输出数据执行时序对齐。此引脚通过一个内部 10 k Ω 电阻连接到 GND。可将其断开。

表 17 数字测试码引脚设置

所选 DTP	DTP 电压	D0 $\pm$ x 和 D1 $\pm$ x 情况
正常工作	10 k Ω 至 AGND	正常工作
DTP	AVDD	1000 0000 0000 0000

CSB 引脚

对于不需要 SPI 工作模式的应用，CSB 引脚应连接到 AVDD。将 CSB 接高电平后，所有 SCLK 和 SDIO 信息都会被忽略。请注意，当 CSB 引脚连接 AVDD 时，本产品 DCS 默认开启，并且保持开启状态，直到器件进入 SPI 模式并通过 SPI 控制。有关 DCS 的更多信息，请参见“时钟占空比”部分。

RBIAS 引脚

为了设置 ADC 的内核偏置电流，应在 RBIAS 引脚上串联一个 10.0 k Ω 、1%容差接地电阻。

输入时钟分频器

本产品内置一个输入时钟分频器，可对输入时钟进行 1 至 8 整数倍分频。利用外部 SYNC 输入信号，可同步本产品的时钟分频器。

通过对寄存器 0x109 的位 0 和位 1 进行写操作，可以设置每次收到 SYNC 信号或者仅第一次收到 SYNC 信号后对时钟分频器再同步。有效 SYNC 可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比稳定器 (DCS)

典型的高速 ADC 利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为 $\pm 5\%$ 。

本产品内置一个占空比稳定器 (DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为 50% 的内部时钟信号。当时钟输入占空比偏离额定值 50% 的幅度大于 $\pm 5\%$ 时，该特性可最大程度减少性能的下降。当 DCS 处于开启状态时，在更宽的占空比范围内，噪声和失真性能几乎是平坦的。

输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。当时钟速率低于 20 MHz (标称值)时，占空比控制环路没有作为。在时钟速率动态改变的应用中，必须考虑与该环路相关的时间常量。在 DCS 环路重新锁定输入信号前，都需要等待 1.5 μs 至 5 μs 的时间。

工作时序

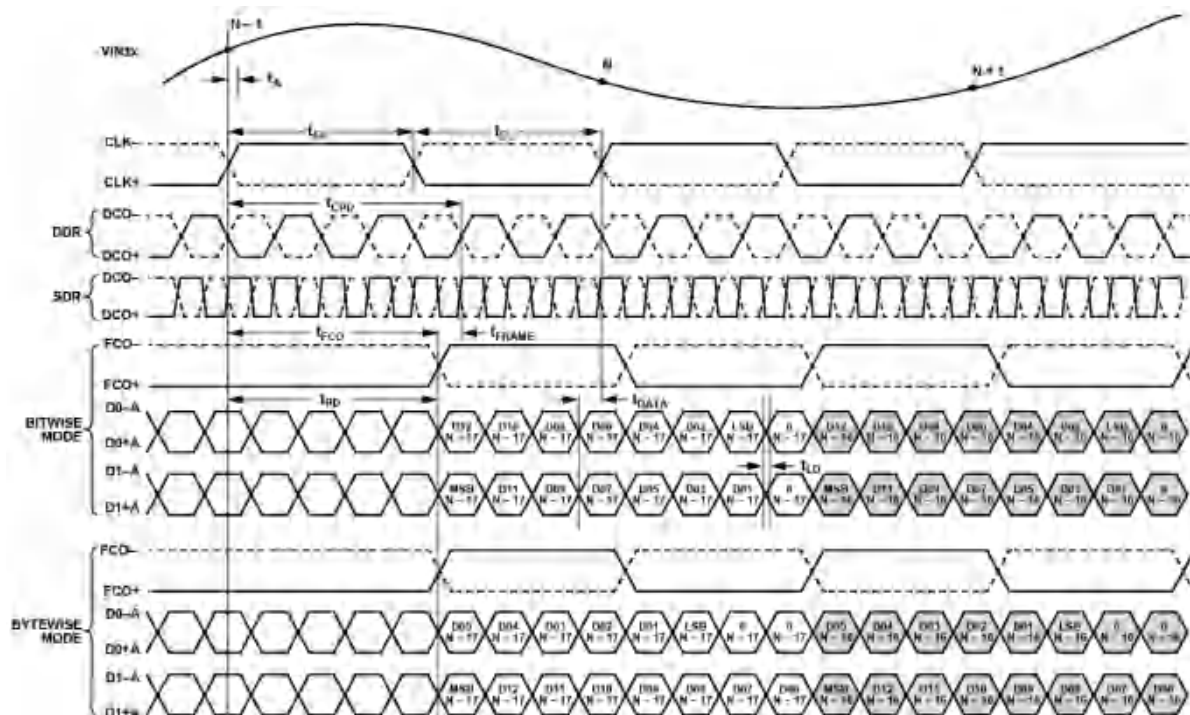


图 5 16-Bit DDR/SDR、双通道、1×帧模式(默认)

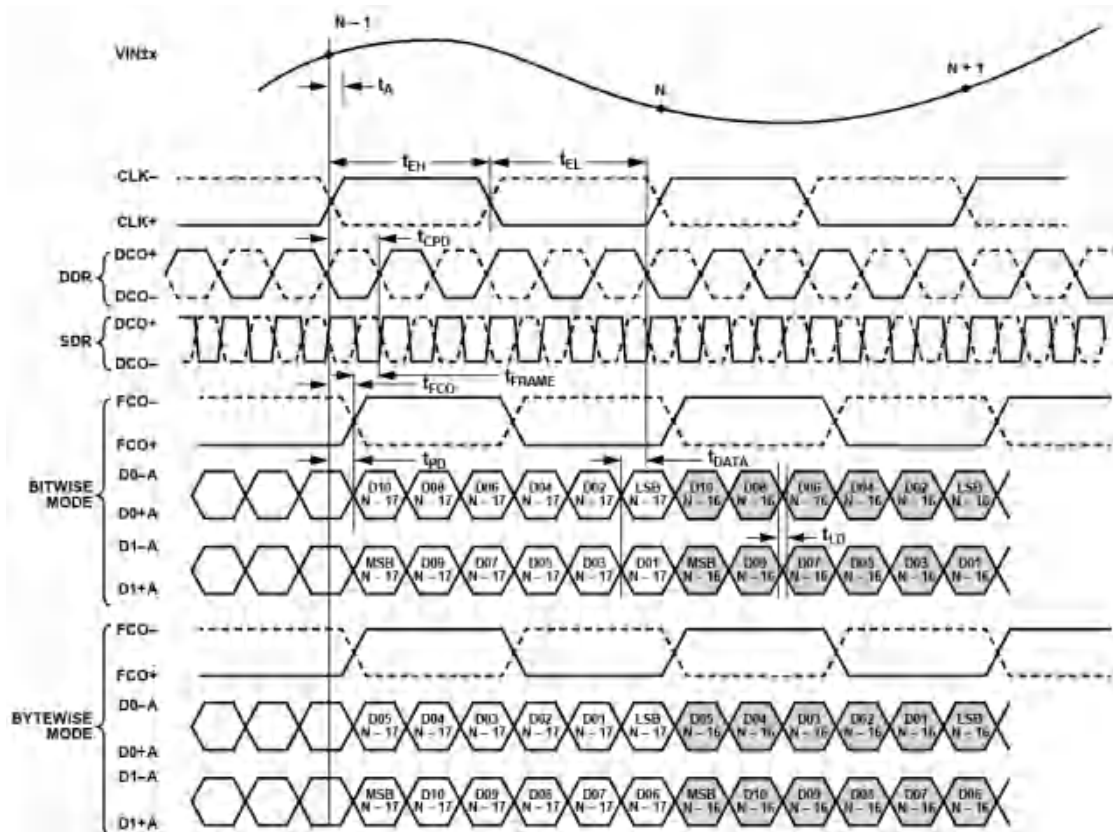


图 6 12-Bit DDR/SDR、双通道、1×帧模式

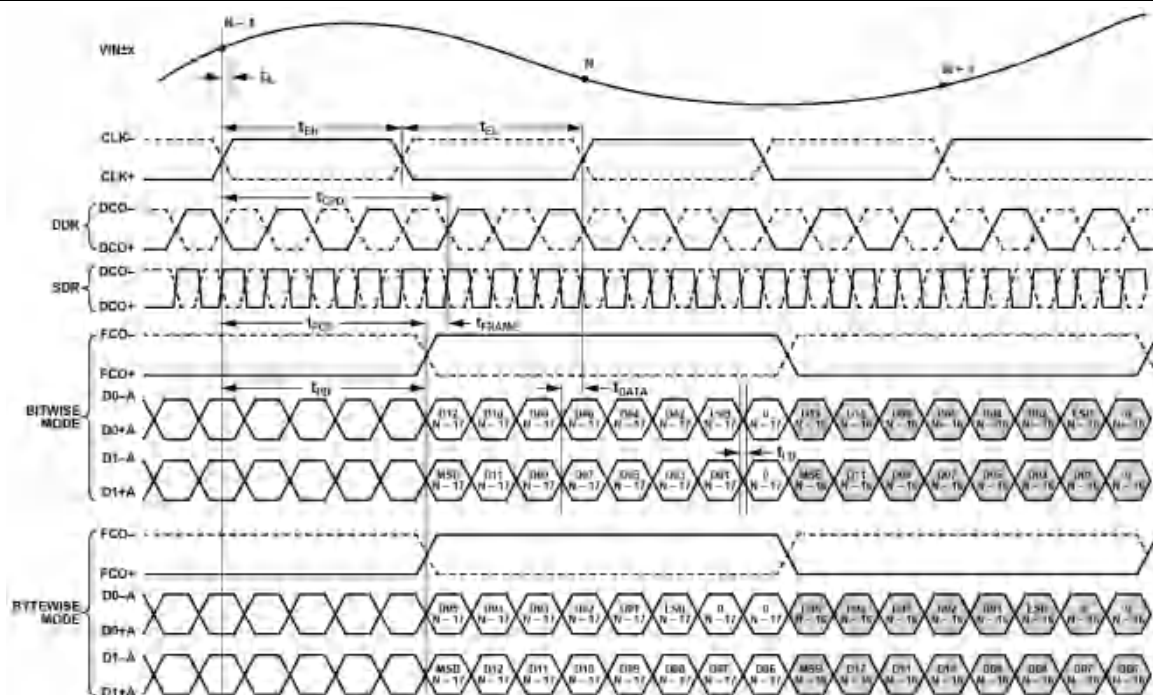


图 7 16-Bit DDR/SDR、双通道、2×帧模式

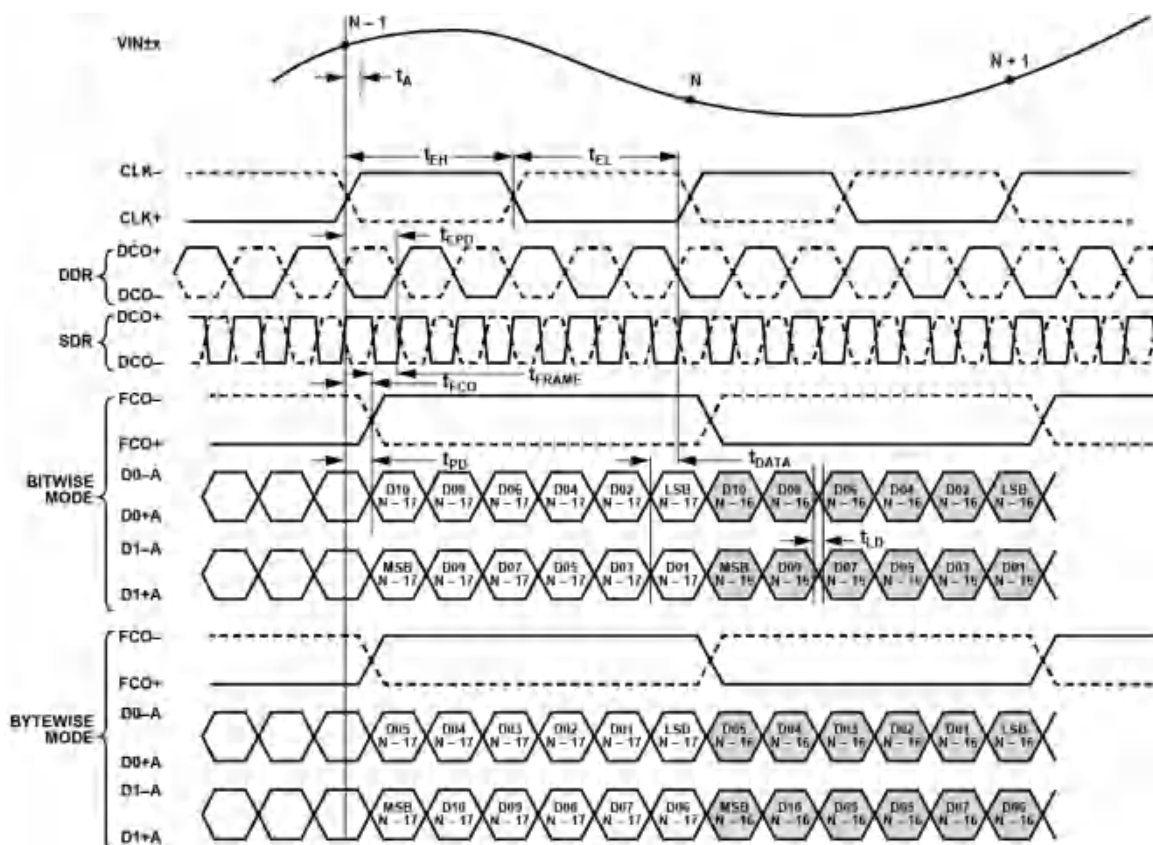


图 8 12-Bit DDR/SDR、双通道、2×帧模式

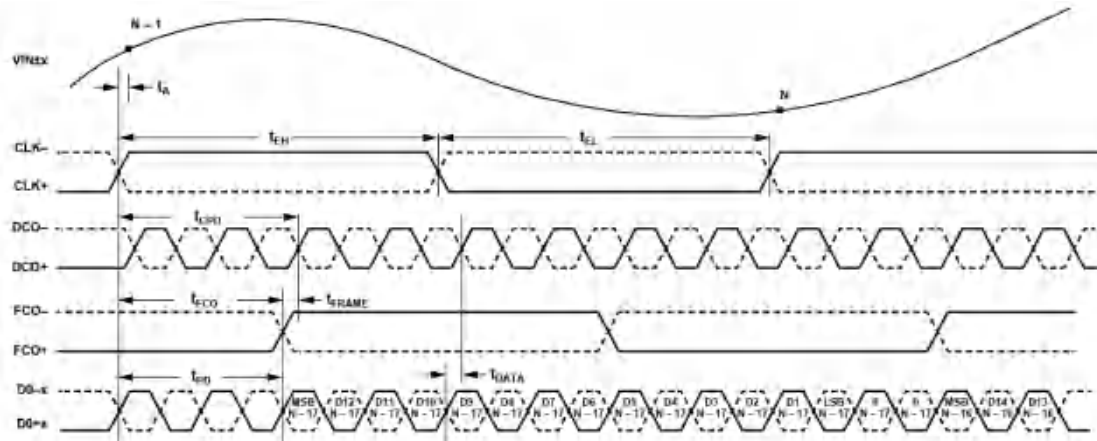


图 9 逐字 DDR、单通道、1×帧模式、16-Bit 输出模式

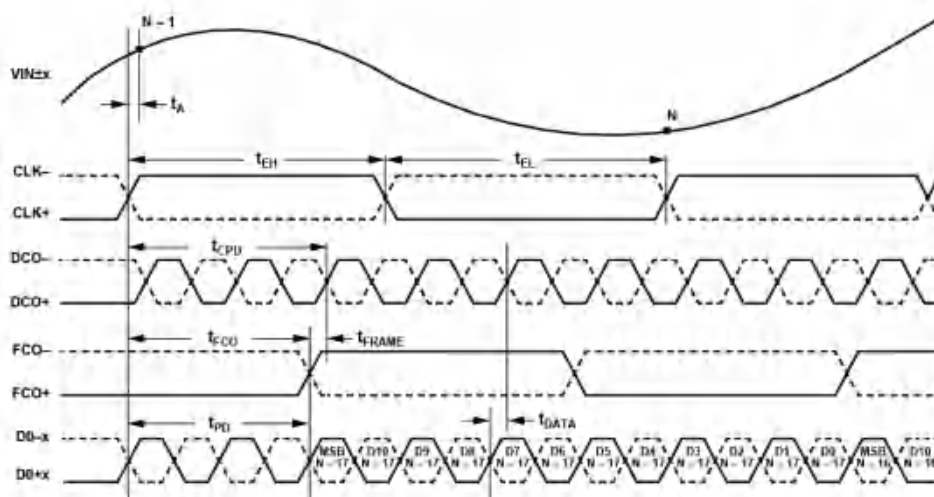


图 10 逐字 DDR、单通道、1×帧模式、12-Bit 输出模式

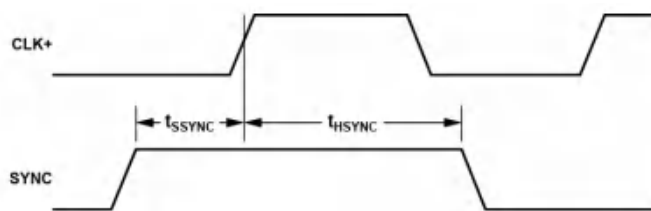


图 11 SYNC 输入时序要求

SPI 的配置

该 ADC 的 SPI 由三个引脚组成：SCLK 引脚、SDIO 引脚和 CSB 引脚(见表 18)。SCLK(串行时钟)引脚用于同步 ADC 的读取和写入数据。SDIO(串行数据输入/输出)双功能引脚允许将数据发送至内部 ADC 存储器映射寄存器或从该寄存器中读取数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读

写周期。CSB 的下降沿与 SCLK 的上升沿共同决定帧的开始。在一个指令周期内，会传输一条 16 位指令。在指令传输后将进行数据传输，数据长度由 W0 位和 W1 位共同决定。除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。多字节串行数据传输帧中第一个字节的第一位指示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SDIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。所有数据均由 8 位字组成。数据可通过 MSB 优先模式或 LSB 优先模式发送。芯片上电后，默认模式为 MSB 优先，可以通过 SPI 端口配置寄存器来更改数据发送方式。

表 18 串行端口接口引脚

引脚	功能
SCLK	串行时钟。 串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。 双功能引脚；通常用作输入或输出， 具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。 低电平有效控制引脚，用来选通读写周期。

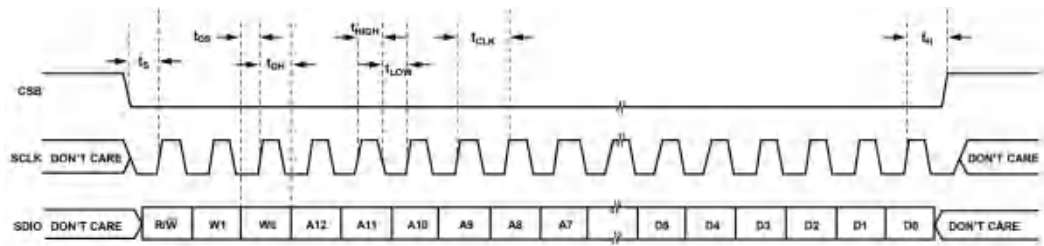


图 12 串口读出时序

等效电路

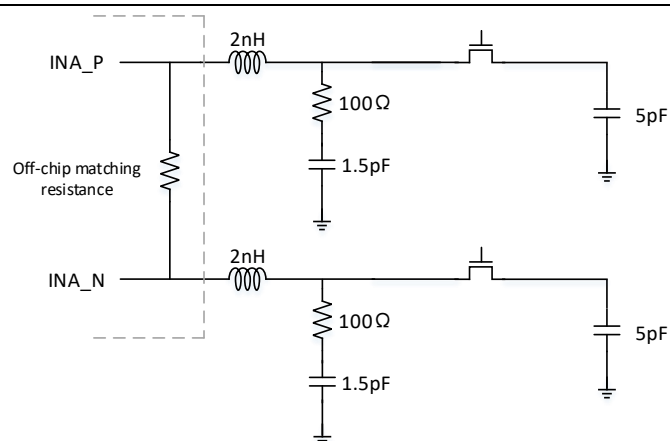


图 13 模拟输入网络（虚线右边为片内）

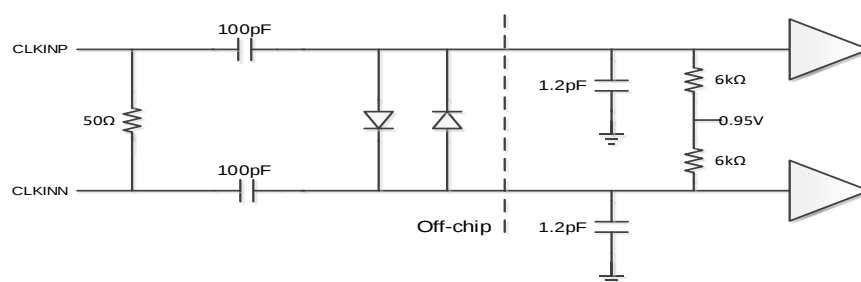


图 14 时钟输入网络（虚线右边为片内）

采用 4:1 阻抗比变压器增大驱动摆幅，有利于降低时钟抖动。时钟输入的共模偏置由内部提供。

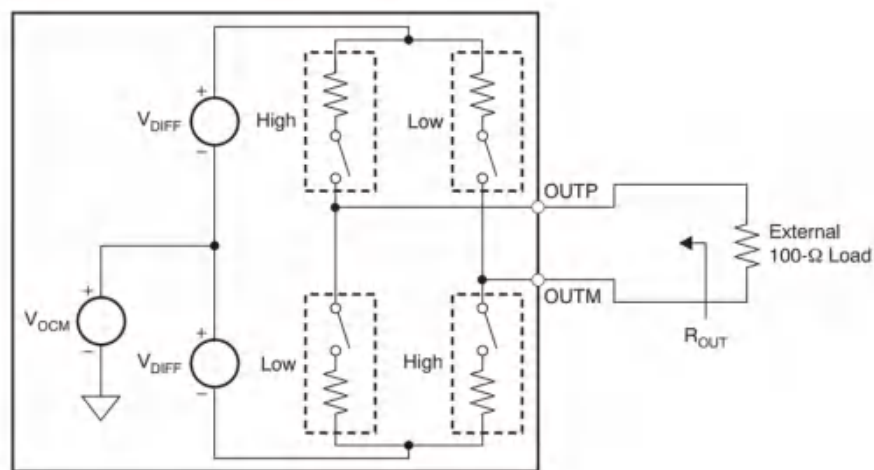


图 15 LVDS 输出电路

驱动电路

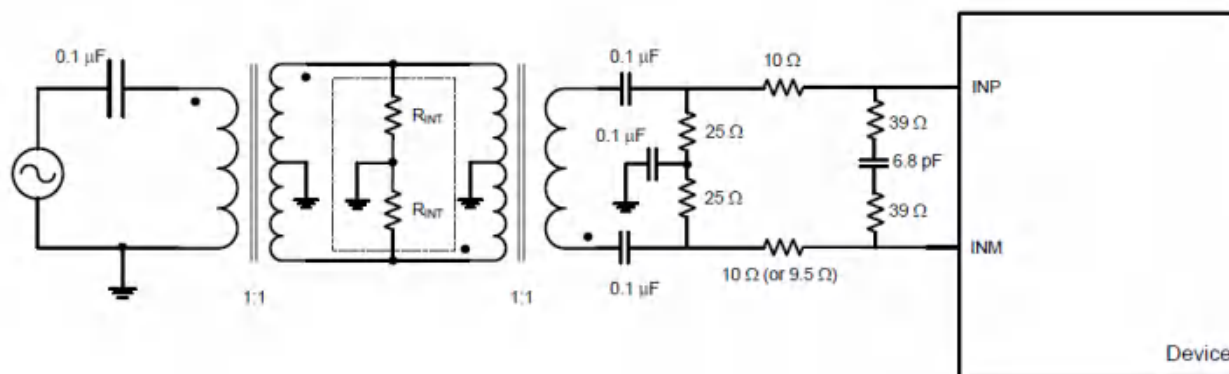


图 16 模拟输入端的驱动电路（输入频率小于 250M 时）

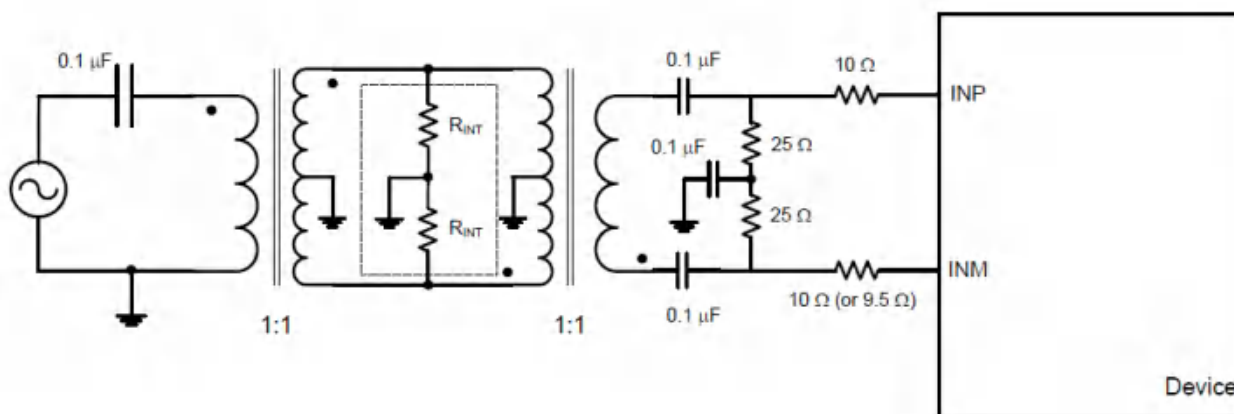


图 17 模拟输入端的驱动电路（输入频率大于 250M 时）

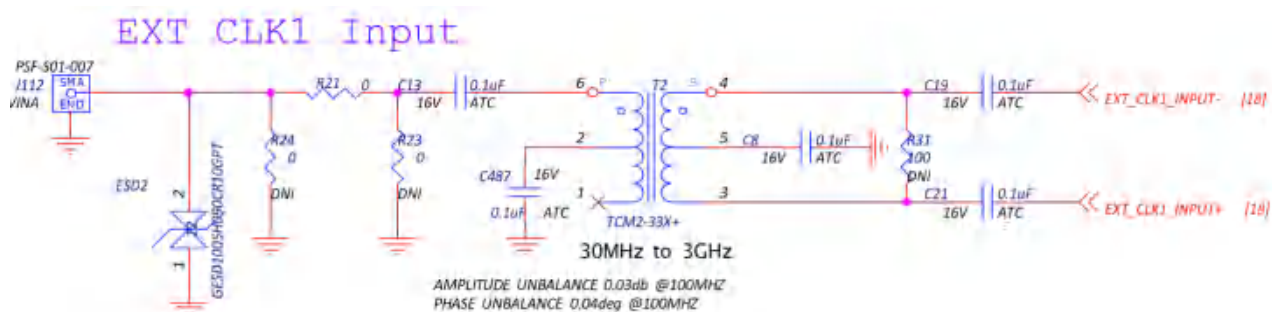


图 18 时钟输入端的驱动电路

时钟质量

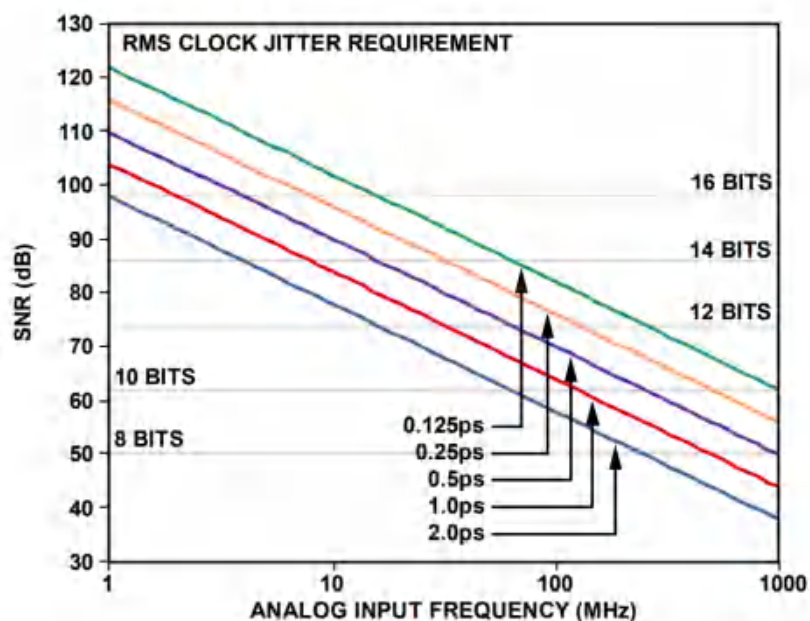


图 19 理想信噪比与输入频率和抖动的关系

应用信息

电源和接地建议。当连接电源至本芯片时,建议使用两个独立的 1.8 V 电源:一个电源用于模拟输出(AVDD),另一个电源用于数字输出(DRVDD)。对于 AVDD 和 DRVDD,应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近 PCB 入口点和接近器件引脚的位置,并尽可能缩短走线长度。

裸露焊盘散热块建议。为获得最佳的 ADC 芯片电气性能和热性能,必须将 ADC 底部的裸露焊盘连接至地焊盘(GND)。PCB 上裸露的连续铜层应与 ADC 芯片的裸露焊盘(引脚 0)匹配。铜层上应有多个过孔,获得尽可能低的热阻路径以通过 PCB 底部进行散热。这些过孔应填满焊料或插入插针。

为了最大化地实现 ADC 与 PCB 之间的覆盖与连接,应在 PCB 上覆盖一个丝印层,以便将 PCB 上的连续铜平面划分为多个均等的部分。这样,在回流焊过程中,可在 ADC 与 PCB 之间提供多个连接点,而一个连续的、无分割的平面只能保证一个连接点。可以参考下图所示的 PCB 布局布线范例。如需了解有关封装和芯片级封装 PCB 布局布线的详细信息,请参阅应用笔记 AN-772:“LFCSP 封装设计与制造指南”

(www.analog.com)。

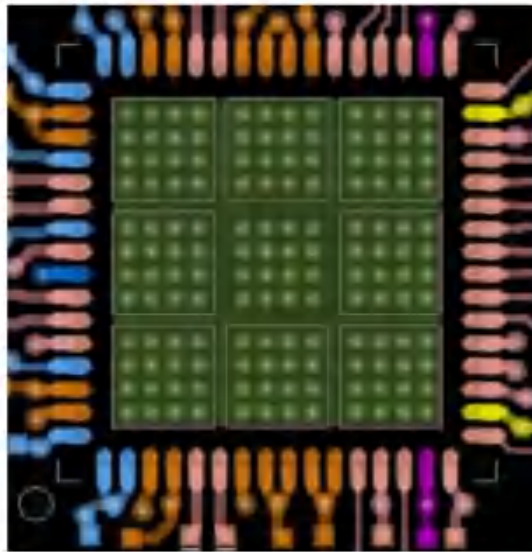


图 20 ADC 芯片裸漏焊盘的推荐 PCB 布局

LVDS 输出线 PCB 设计建议。PCB 设计时请一定注意 LVDS 输出线的等长处理！如果不注意输出线（既包括差分对内也包括差分对间）等长处理，会造成数据接受器件（如 FPGA）对 ADC 采样时形成严重的时序错误！输出的数字信号和随路时钟是以 LVDS 差分对的形式输出的，差分输出符合 ANSI-644 LVDS 标准。LVDS 驱动器电流来自芯片，并将各输出端的输出电流设置为标称值 3.5 mA。LVDS 接收器输入端有一个 100 Ω 差分端接电阻，因此接收器摆幅标称值为 350 mV(或 700 mV p-p 差分)。ADC LVDS 输出便于与定制 ASIC 和 FPGA 中的 LVDS 接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将 100 Ω 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过 24 英寸，差分输出走线应尽可能彼此靠近且长度相等。

封装形式

本产品采用 VQFN-48 封装（7mm X 7mm），封装与尺寸如下所示（图中尺寸单位为毫米）：



图 21 芯片封装 (VQFN-48, 7mm x 7mm)

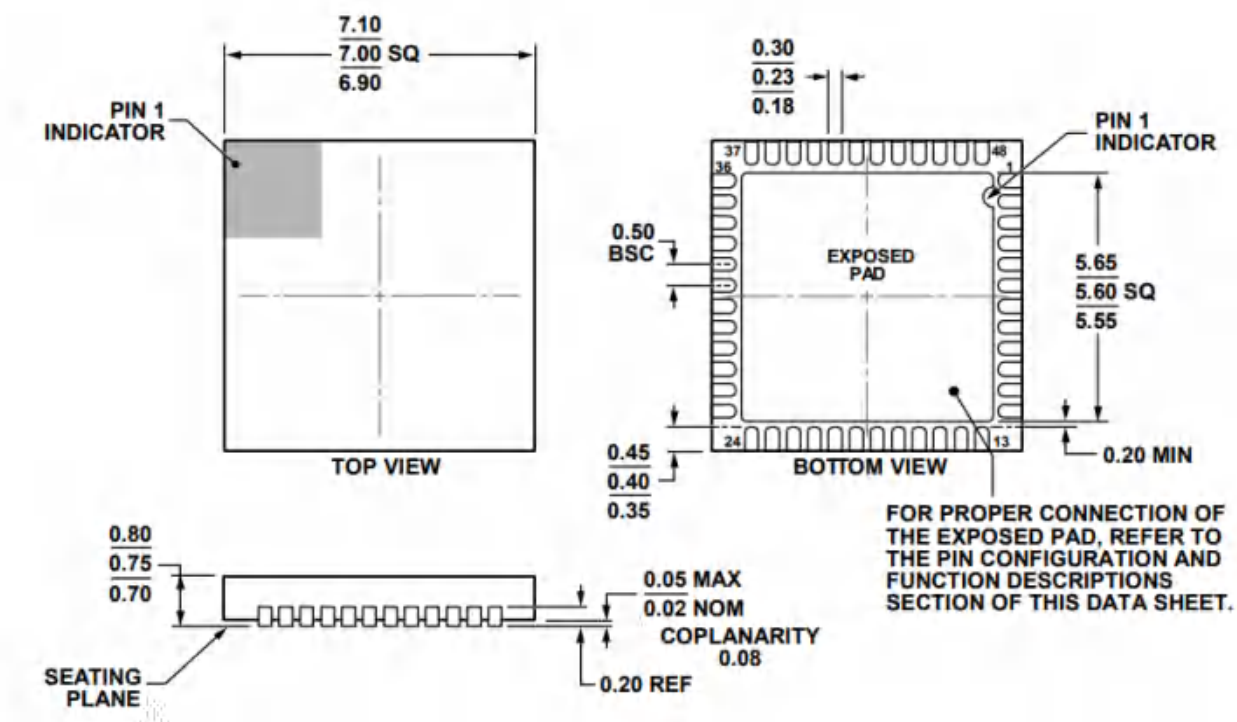


图 22 封装尺寸

典型特性

测试条件: $T_A = 25^\circ\text{C}$, $AVDD=1.8\text{V}$, $DRVDD=1.8\text{V}$, 时钟占空比为 50%, 采样率为 125MSPS

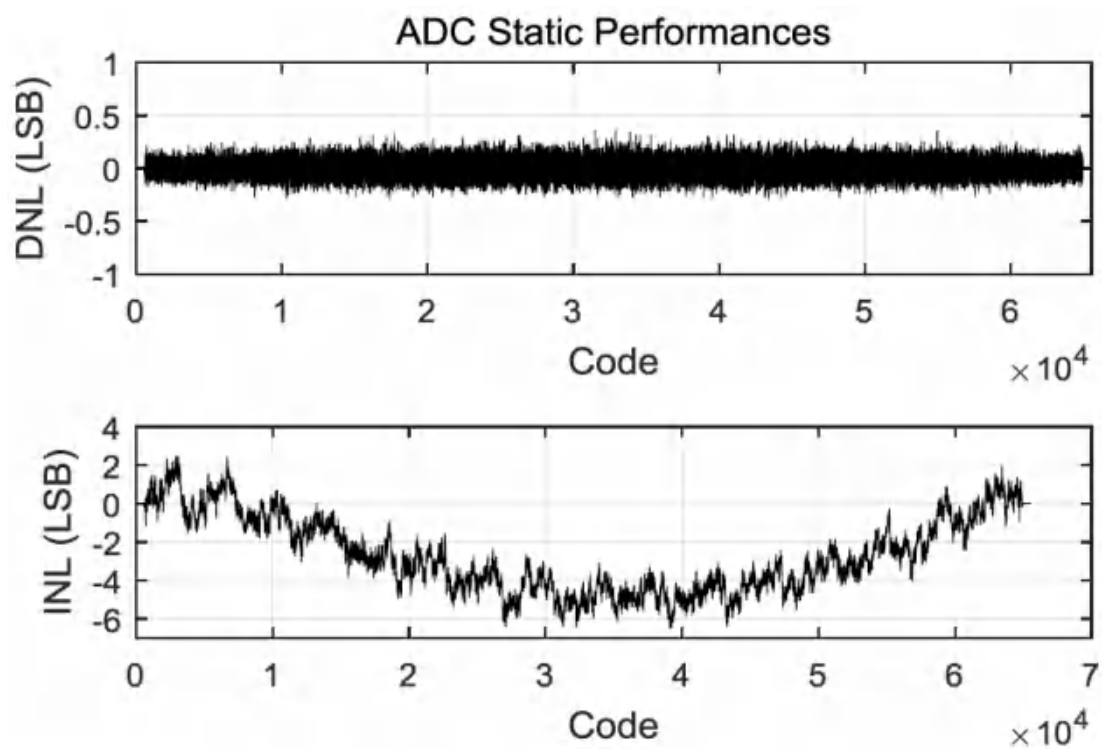


图 23 典型静态特性 ($f_{in}=35\text{MHz}$ @125MS/s)

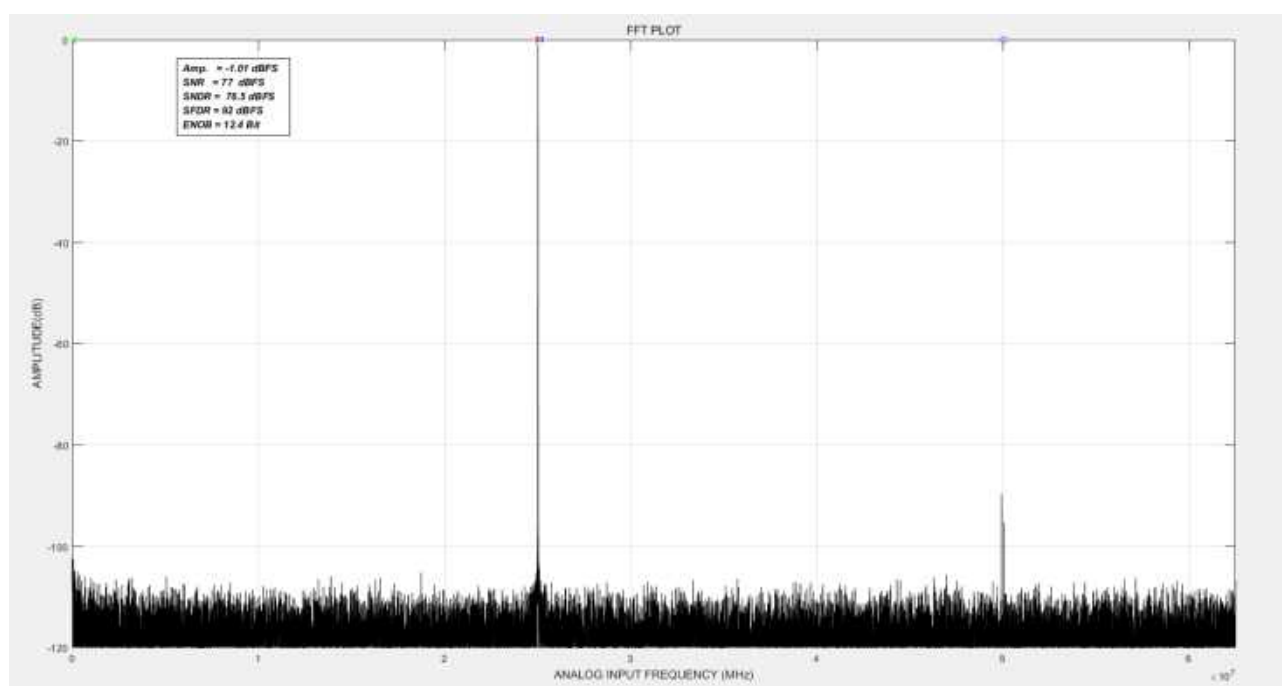


图 24 A_CHANNEL FIN=25M AMP=-1dbfs

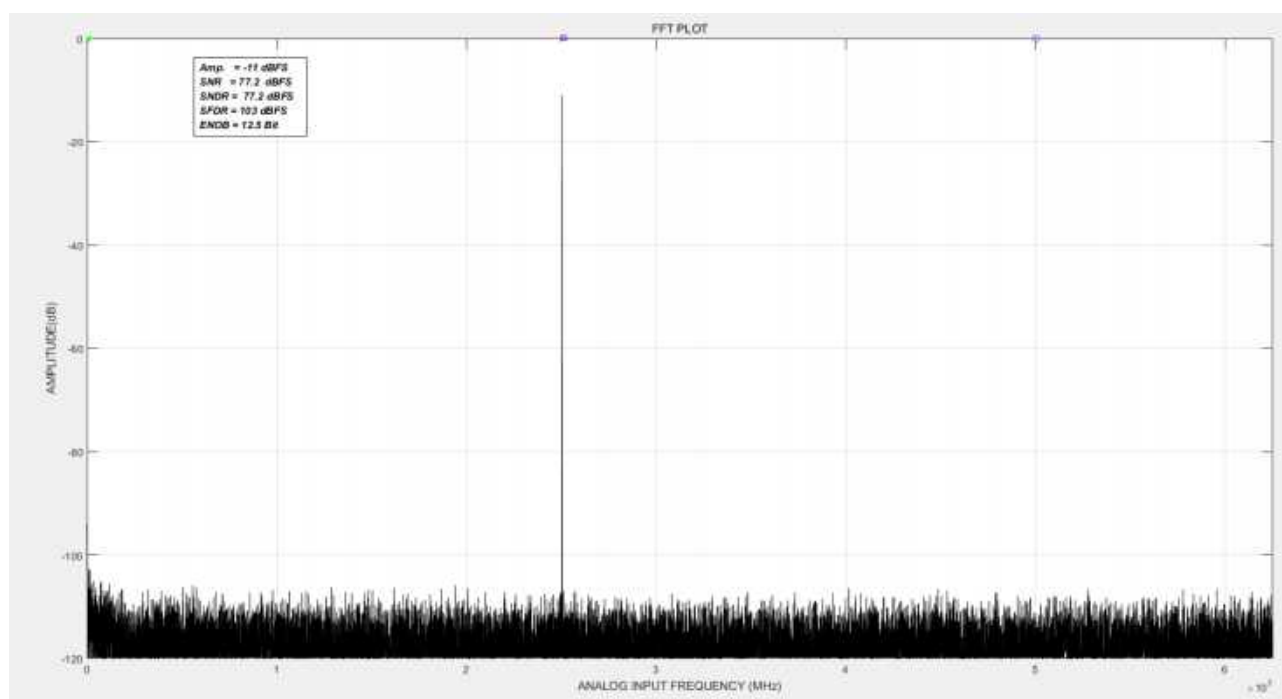


图 25 A_CHANNEL FIN=25M AMP=-11dbfs

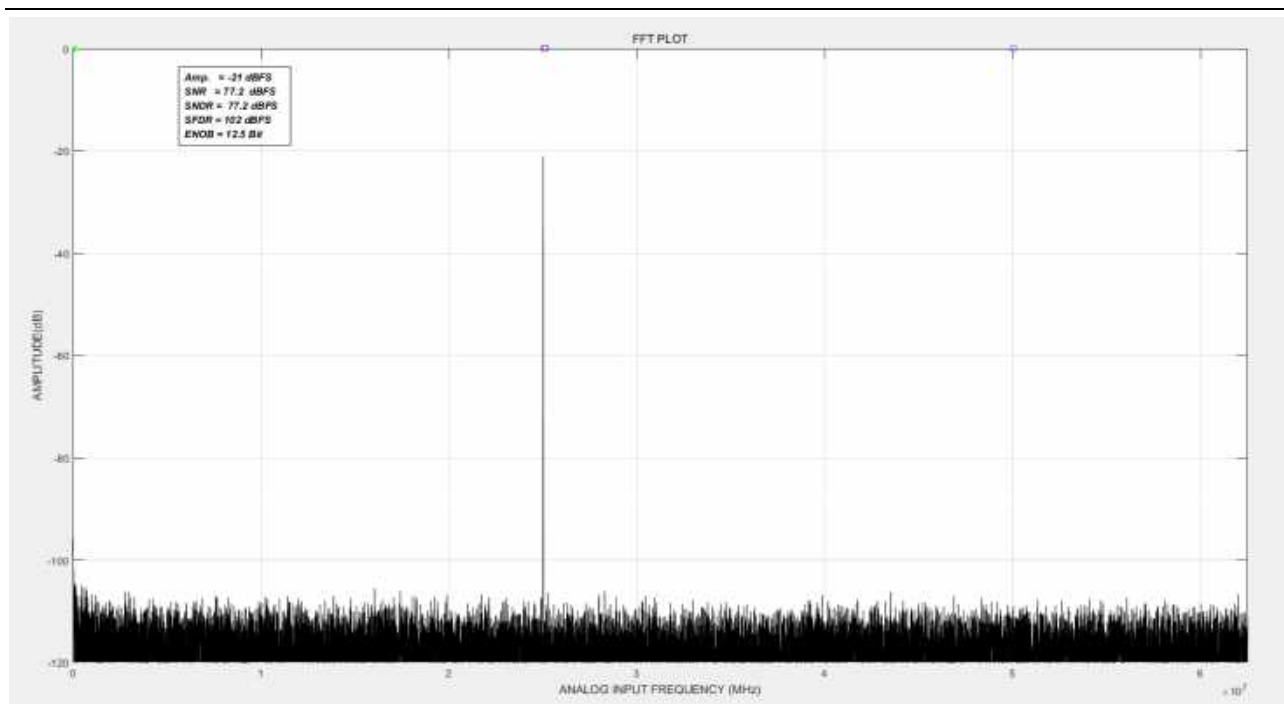


图 26 A_CHANNEL FIN=25M AMP=-21dbfs

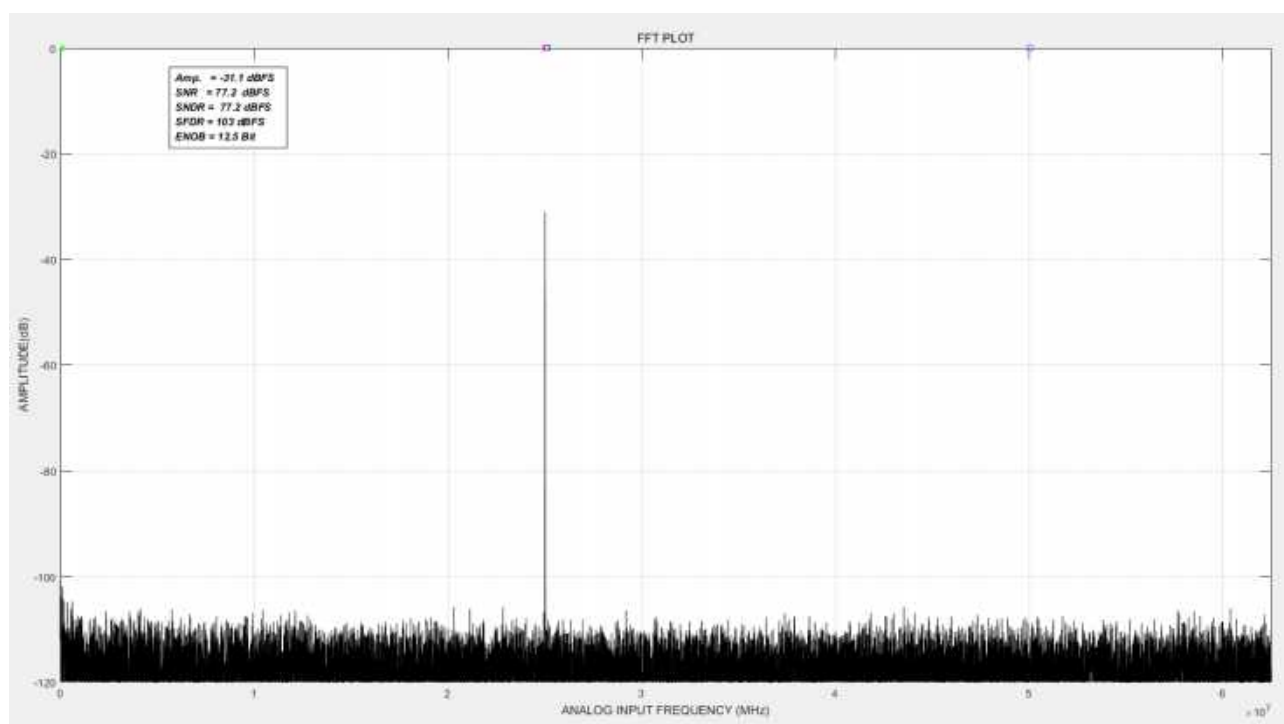


图 27 A_CHANNEL FIN=25M AMP=-31dbfs

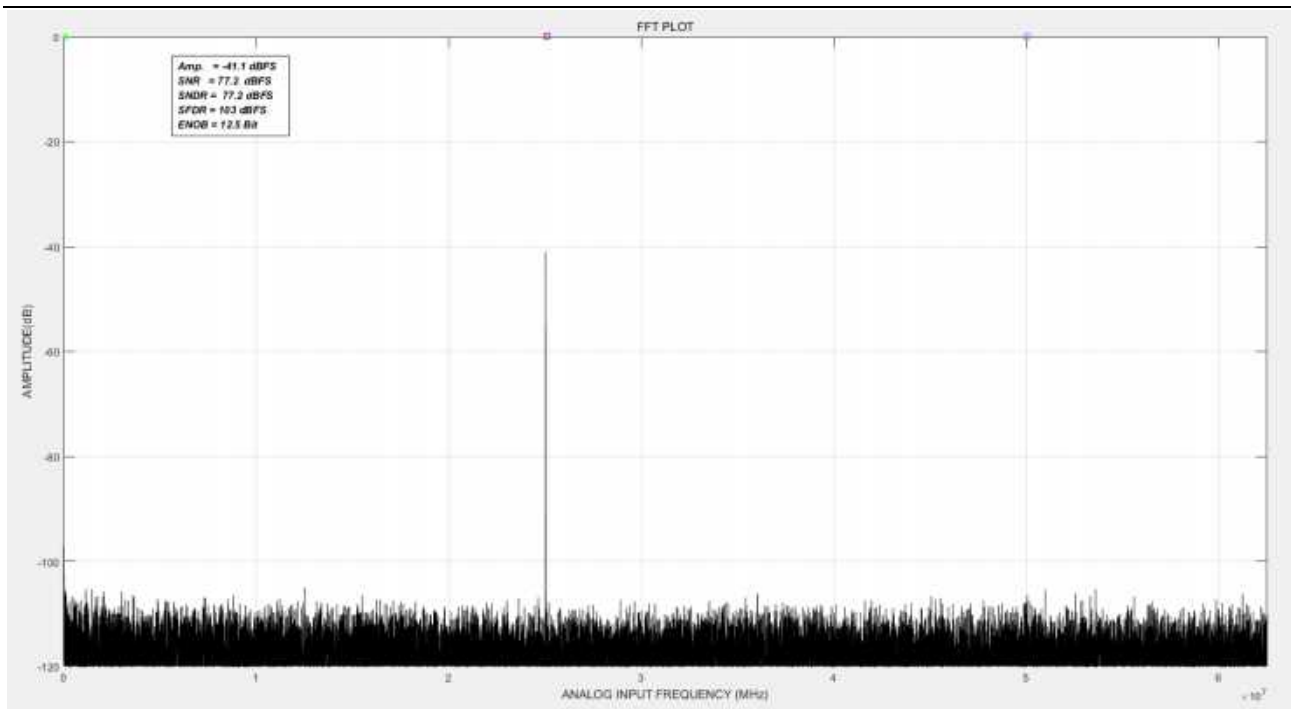


图 28 A_CHANNEL FIN=25M AMP=-41dbfs

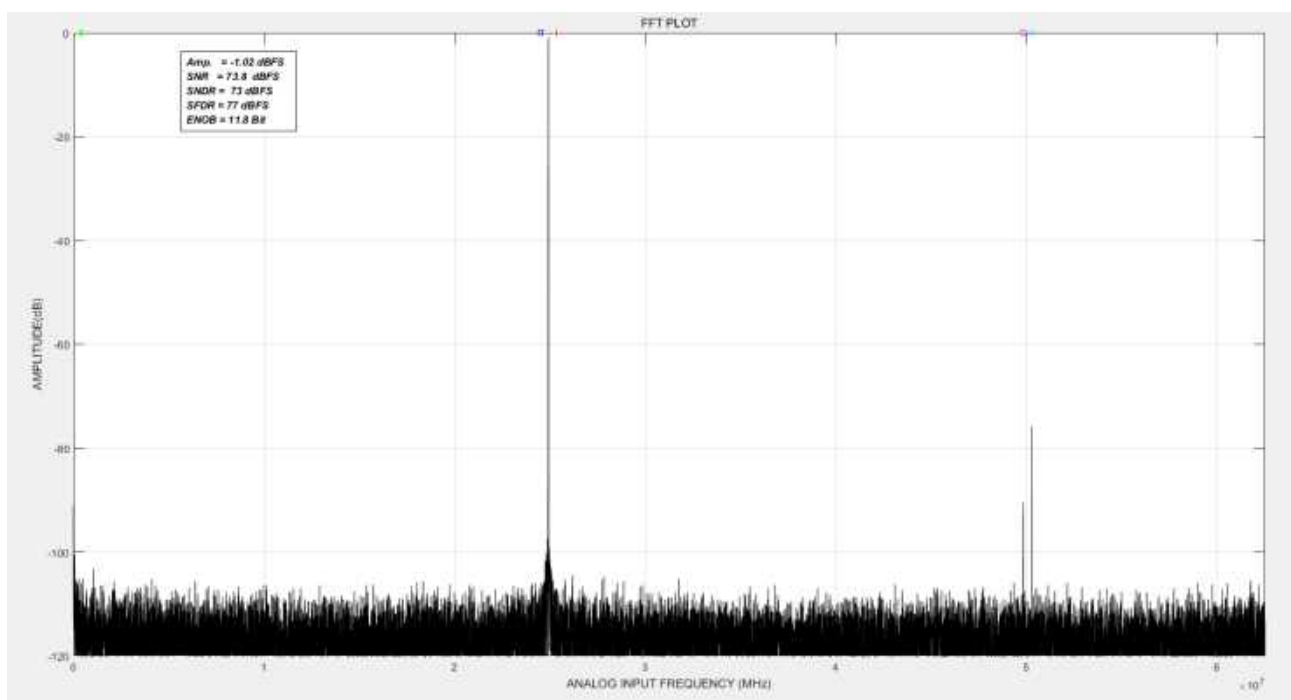


图 29 B_CHANNEL FIN=100M AMP=-1dbfs

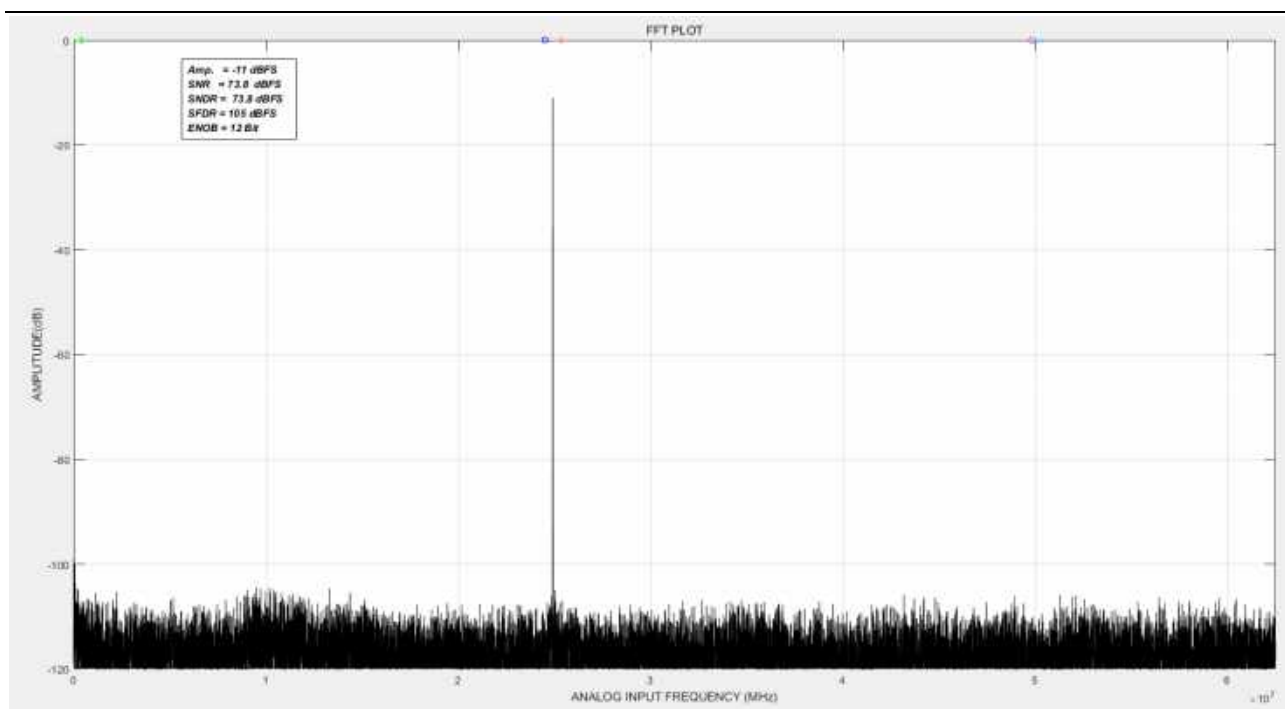


图 30 B_CHANNEL FIN=150M AMP=-11dbfs

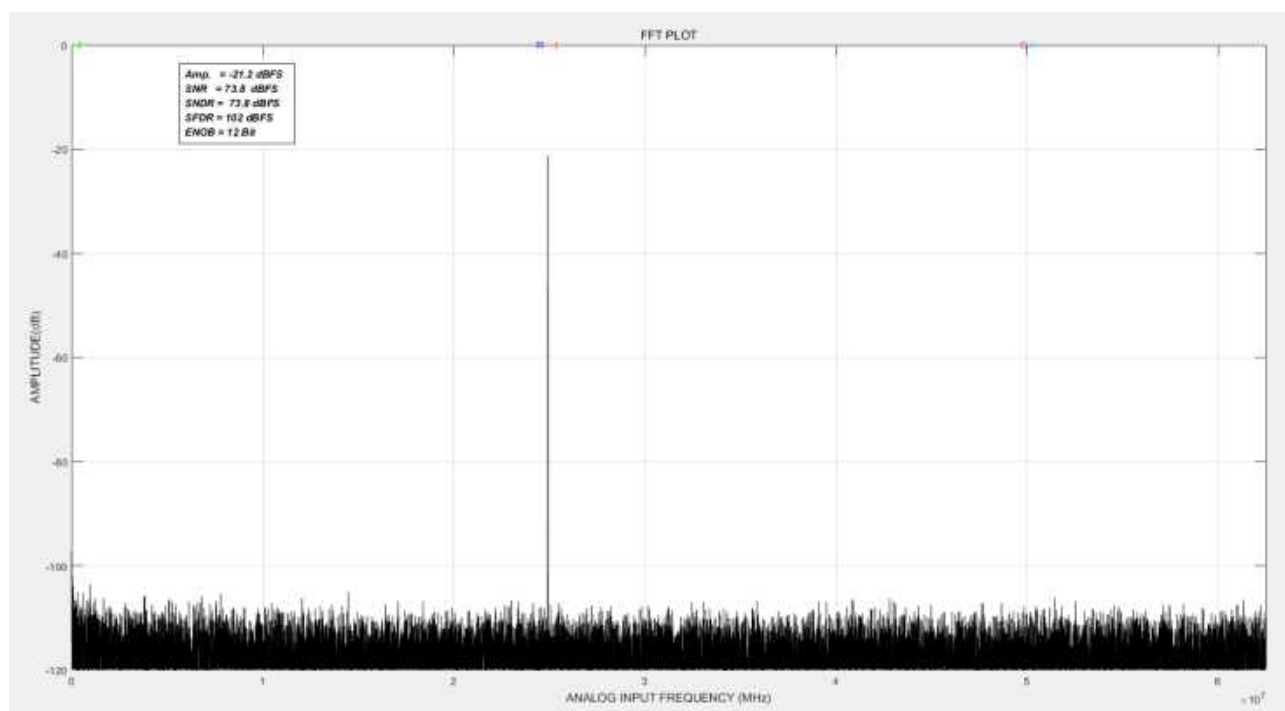


图 31 B_CHANNEL FIN=150M AMP=-21dbfs

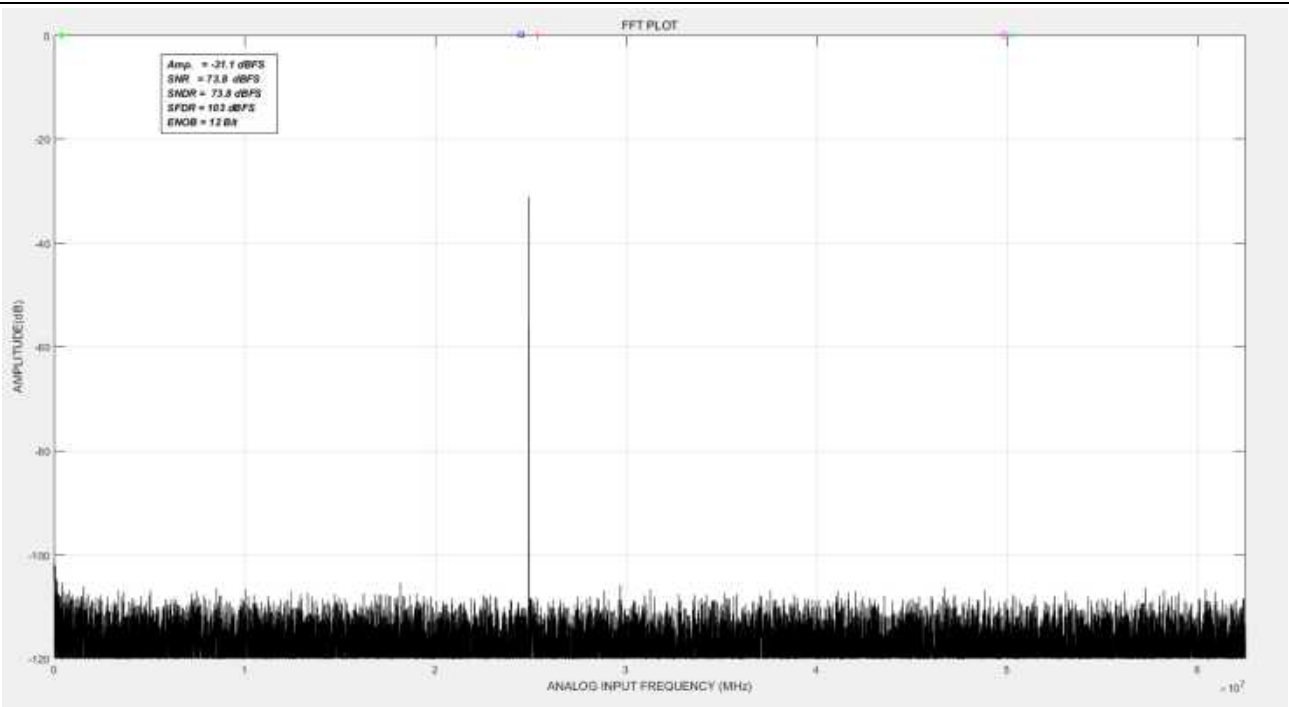


图 32 B_CHANNEL FIN=150M AMP=-31dbfs

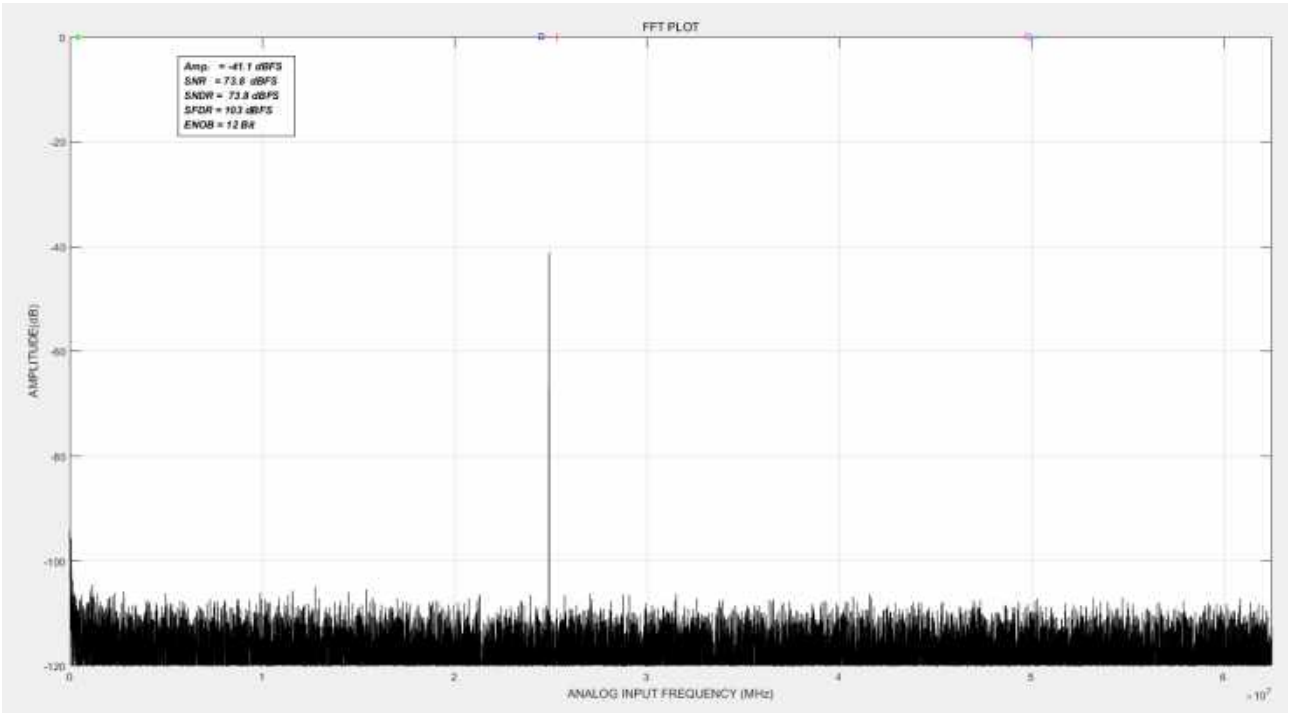


图 33 B_CHANNEL FIN=150M AMP=-41dbfs

表 19 版本历史

版本	修改时间	修改内容
----	------	------

四通道14位125MSPS 模数转换器

KHW14B125-4GX

V1.0	2020/3/11	最初版本
V2.0	2021/4/21	加入测试结果
V3.0	2022/7/19	修改寄存器配置
V3.1	2023/3/11	补充寄存器配置
V3.2	2024/2/21	修正表13、表14
V3.3	2024/3/24	修改最低采样率为10M
V3.4	2024/4/5	加入带宽信息
V3.5	2024/5/7	修改管脚描述列表，修改寄存器列表